

VIA HAND DELIVERY
PATENT
70404.10

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

<p>In re application of: Naoki MAKITA et al. Serial No.: Currently unknown Filing Date: Concurrently herewith For: SEMICONDUCTOR FILM, METHOD FOR MANUFACTURING SEMICONDUCTOR FILM, SEMICONDUCTOR DEVICE, AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE</p>	
---	--

TRANSMITTAL OF PRIORITY DOCUMENTS

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop PATENT APPLICATION
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Dear Sir:

Enclosed herewith is a certified copy of each of Japanese Patent Application No. **2002-325677** filed **November 8, 2002**, from which priority is claimed under 35 U.S.C. 119 and Rule 55b. Acknowledgement of the priority document is respectfully requested

Transmittal of Priority
Document
November 3, 2003
Page 2 of 2

to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: November 3, 2003



Attorneys for Applicant(s)

Joseph R. Keating
Registration No. 37,368

Christopher A. Bennett
Registration No. 46,710

KEATING & BENNETT LLP
10400 Eaton Place, Suite 312
Fairfax, VA 22030
Telephone: (703) 385-5200
Facsimile: (703) 385-5080

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 2 5 6 7 7
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 2 5 6 7 7]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 3 年 1 0 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 02J03325

【提出日】 平成14年11月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/786
H01L 21/336
H01L 21/20
H01L 21/268
H01L 21/322

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 牧田 直樹

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 岩井 道記

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 森野 慎也

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 堤 隆之

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100101683

【弁理士】

【氏名又は名称】 奥田 誠司

【手数料の表示】

【予納台帳番号】 082969

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208454

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体膜およびその製造方法ならびに半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 絶縁性表面上に形成された半導体膜であって、
結晶質を有し、前記半導体の結晶化を促進する触媒元素を含み、複数の微細なあなを有する少なくとも 1 つの領域を含む、半導体膜。

【請求項 2】 前記少なくとも 1 つの領域の前記半導体膜は、前記触媒元素の高級半導体化合物を実質的に含まず、前記触媒元素は前記結晶質半導体膜中に固溶している、請求項 1 に記載の半導体膜。

【請求項 3】 前記半導体膜は実質的に Si から構成され、前記触媒元素は金属元素 M であり、前記高級半導体化合物は $M_x Si_y$ ($x > y$) の組成式で表される、請求項 2 に記載の半導体膜。

【請求項 4】 前記少なくとも 1 つの領域の前記半導体膜は、前記触媒元素の低級半導体化合物を実質的に含まない、請求項 2 または 3 に記載の半導体膜。

【請求項 5】 前記半導体膜は実質的に Si から構成され、前記触媒元素は金属元素 M であり、前記低級半導体化合物は $M_x Si_y$ ($x \leq y$) の組成式で表される、請求項 4 に記載の半導体膜。

【請求項 6】 前記少なくとも 1 つの領域の前記半導体膜における前記触媒元素の濃度は、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以下である、請求項 1 から 5 のいずれかに記載の半導体膜。

【請求項 7】 絶縁性表面上に形成された半導体膜であって、
結晶質半導体層からなり、前記半導体の結晶化を促進する触媒元素を含む活性領域を含み、

前記活性領域は、第 1 領域と、前記第 1 領域の両側に前記第 1 領域に隣接して形成された一対の第 2 領域を含み、

前記第 1 領域の前記結晶質半導体層は複数の微細なあなを有する、半導体膜。

【請求項 8】 前記第 1 領域は、前記触媒元素の高級半導体化合物を実質的に含まず、前記触媒元素は前記結晶質半導体層中に固溶している、請求項 7 に記載

に半導体膜。

【請求項 9】 前記結晶質半導体層は実質的に Si から構成され、前記触媒元素は金属元素 M であり、前記高級半導体化合物は $M_x Si_y$ ($x > y$) の組成式で表される、請求項 8 に記載の半導体膜。

【請求項 10】 前記第 1 領域は、前記触媒元素の低級半導体化合物を実質的に含まない、請求項 2 または 9 に記載の半導体膜。

【請求項 11】 前記結晶質半導体層は実質的に Si から構成され、前記触媒元素は金属元素 M であり、前記低級半導体化合物は $M_x Si_y$ ($x \leq y$) の組成式で表される、請求項 10 に記載の半導体膜。

【請求項 12】 前記第 1 領域における前記触媒元素の濃度は、 1×10^{17} atoms/cm³ 以下である、請求項 7 から 11 のいずれかに記載の半導体膜。

【請求項 13】 前記一対の第 2 領域は前記第 1 領域よりも前記触媒元素の濃度が高い、請求項 7 から 12 のいずれかに記載の半導体膜。

【請求項 14】 前記一対の第 2 領域における前記触媒元素の濃度は、 1×10^{18} atoms/cm³ 以上 1×10^{20} atoms/cm³ 以下の範囲内にある、請求項 13 に記載の半導体膜。

【請求項 15】 前記一対の第 2 領域の前記結晶質半導体層は、複数の微細なあなを有する、請求項 7 から 12 のいずれかに記載の半導体膜。

【請求項 16】 前記一対の第 2 領域の前記結晶質半導体層は、前記触媒元素の高級半導体化合物を実質的に含まず、前記触媒元素は前記結晶質半導体層中に固溶している、請求項 15 に記載の半導体膜。

【請求項 17】 前記結晶質半導体層は実質的に Si から構成され、前記触媒元素は金属元素 M であり、前記高級半導体化合物は $M_x Si_y$ ($x > y$) の組成式で表される、請求項 16 に記載の半導体膜。

【請求項 18】 前記一対の第 2 領域は、前記触媒元素の低級半導体化合物を実質的に含まない、請求項 16 または 17 に記載の半導体膜。

【請求項 19】 前記結晶質半導体層は実質的に Si から構成され、前記触媒元素は金属元素 M であり、前記低級半導体化合物は $M_x Si_y$ ($x \leq y$) の組成式で表される、請求項 18 に記載の半導体膜。

【請求項 20】 前記一对の第 2 領域における前記触媒元素の $1 \times 10^{17} \text{ atoms/cm}^3$ 以下である、請求項 15 から 19 のいずれかに記載の半導体膜。

【請求項 21】 前記一对の第 2 領域は n 型導電性を付与する周期表第 5 族 B に属する不純物元素を含む、請求項 7 から 20 のいずれかに記載の半導体膜。

【請求項 22】 前記活性領域は、前記第 1 領域、前記一对の第 2 領域、および、前記触媒元素を引き寄せる作用を有するゲッタリング領域を含む、請求項 7 から 21 のいずれかに記載の半導体膜。

【請求項 23】 前記ゲッタリング領域は、前記第 1 領域よりも前記触媒元素の濃度が高い、請求項 22 に記載の半導体膜。

【請求項 24】 前記ゲッタリング領域における前記触媒元素の濃度は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下の範囲内にある、請求項 23 に記載の半導体膜。

【請求項 25】 前記ゲッタリング領域は、前記第 1 領域および前記一对の第 2 領域よりも前記触媒元素の濃度が高い、請求項 22 または 23 に記載の半導体膜。

【請求項 26】 前記ゲッタリング領域は、前記第 1 領域および前記一对の第 2 領域よりも多くの非晶質成分を含む、請求項 22 から 25 のいずれかに記載の半導体膜。

【請求項 27】 前記ゲッタリング領域は、n 型導電性を付与する周期表第 5 族 B に属する不純物元素と、p 型導電性を付与する周期表第 3 族 B に属する不純物元素とを含む、請求項 22 から 26 のいずれかに記載の半導体膜。

【請求項 28】 前記ゲッタリング領域は、Ar、Kr および Xe からなる群から選択された少なくとも一種の希ガス元素を含む、請求項 22 から 27 のいずれかに記載の半導体膜。

【請求項 29】 前記複数の微細なあなは、前記触媒元素の半導体化合物の塊が除去されることによって形成されたものである、請求項 1 から 28 のいずれかに記載の半導体膜。

【請求項 30】 前記複数の微細なあなの直径は、 $0.05 \mu\text{m}$ 以上 $1.0 \mu\text{m}$ 以下の範囲内にある、請求項 1 から 29 のいずれかに記載の半導体膜。

【請求項 3 1】 少なくとも前記第 1 領域の前記結晶質半導体層の平均表面粗さ R_a は、4 nm 以上 9 nm 以下の範囲内にある、請求項 1 から 3 0 のいずれかに記載の半導体膜。

【請求項 3 2】 前記触媒元素は、Ni、Co、Sn、Pb、Pd、Fe および Cu からなる群から選択される少なくとも一種の金属元素である、請求項 1 から 3 1 のいずれかに記載の半導体膜。

【請求項 3 3】 (a) 絶縁性表面上に非晶質半導体層を形成する工程と、
(b) 前記非晶質半導体層に結晶化を促進する触媒元素を付与した後、第 1 の加熱処理を行うことにより、前記非晶質半導体層を結晶化し、結晶質半導体層を得る工程と、

(c) 前記結晶質半導体層中に存在する前記触媒元素の半導体化合物の少なくとも大きな塊を除去する工程と、

(d) 前記結晶質半導体層中に残存する前記触媒元素の少なくとも一部を移動させることによって、前記結晶質半導体層に前記触媒元素の濃度が他の領域よりも低い低触媒領域を形成する工程と、
を包含する、半導体膜の製造方法。

【請求項 3 4】 前記工程 (c) は、前記触媒元素の高級半導体化合物を除去する工程を含み、前記低触媒領域は前記高級半導体化合物を実質的に含まない、請求項 3 3 に記載に半導体膜の製造方法。

【請求項 3 5】 前記結晶質半導体層は実質的に Si から構成され、前記触媒元素は金属元素 M であり、前記高級半導体化合物は $M_x Si_y$ ($x > y$) の組成式で表される、請求項 3 4 に記載の半導体膜の製造方法。

【請求項 3 6】 前記工程 (d) は、前記触媒元素の低級半導体化合物を形成している触媒元素を移動させる工程を含み、前記低触媒領域は前記低級半導体化合物を実質的に含まない、請求項 3 3 から 3 5 のいずれかに記載の半導体膜の製造方法。

【請求項 3 7】 前記結晶質半導体層は実質的に Si から構成され、前記触媒元素は金属元素 M であり、前記低級半導体化合物は $M_x Si_y$ ($x \leq y$) の組成式で表される、請求項 3 6 に記載の半導体膜の製造方法。

【請求項 38】 前記工程（d）は、前記結晶質半導体層中に固溶している前記触媒元素を移動させる工程を含む、請求項 33 から 37 のいずれかに記載の半導体膜の製造方法。

【請求項 39】 前記工程（c）は、前記触媒元素の半導体化合物を選択的にエッチングすることによって除去する工程を包含する、請求項 33 から 38 のいずれかに記載の半導体膜の製造方法。

【請求項 40】 前記工程（c）における前記エッチングは、エッチャントとして少なくともフッ化水素を含む酸を用いて実行される、請求項 39 に記載の半導体膜の製造方法。

【請求項 41】 前記工程（d）は、前記結晶質半導体膜に残存する前記触媒元素の半導体化合物を構成する前記触媒元素を前記結晶質半導体膜中に固溶させる工程を包含する、請求項 33 から 40 のいずれかに記載の半導体膜の製造方法。

【請求項 42】 前記工程（d）は、前記触媒元素を引き寄せる作用を有するゲッタリング領域またはゲッタリング層を形成する工程と、この工程に後に第 2 の加熱処理を行うことにより、前記結晶質半導体膜に残存する触媒元素を前記ゲッタリング領域または前記ゲッタリング層へ移動させる工程とを包含する、請求項 33 から 41 のいずれかに記載の半導体膜の製造方法。

【請求項 43】 前記ゲッタリング領域または前記ゲッタリング層は、前記結晶質半導体膜の他の領域よりも多くの非晶質成分を含む、請求項 42 に記載の半導体膜の製造方法。

【請求項 44】 前記ゲッタリング領域または前記ゲッタリング層は、n 型導電性を付与する周期表第 5 族 B に属する不純物元素を含む、請求項 42 または 43 に記載の半導体膜の製造方法。

【請求項 45】 前記不純物元素は、P、As および Sb からなる群から選択された少なくとも一種の元素を含む、請求項 44 に記載の半導体膜の製造方法。

【請求項 46】 前記ゲッタリング領域または前記ゲッタリング層は、p 型導電性を付与する周期表第 3 族 B に属する不純物元素を含む、請求項 42 から 45 のいずれかに記載の半導体膜の製造方法。

【請求項 47】 前記不純物元素は、B および Al の少なくとも一方を含む、請求項 46 に記載の半導体膜の製造方法。

【請求項 48】 前記ゲッタリング領域または前記ゲッタリング層は、Ar、Kr および Xe からなる群から選択された少なくとも一種の希ガス元素を含む、請求項 42 から 47 のいずれかに記載の半導体膜の製造方法。

【請求項 49】 前記ゲッタリング領域または前記ゲッタリング層が含む前記不純物元素および／または前記少なくとも一種の希ガス元素はイオン注入法によって導入される、請求項 42 から 48 のいずれかに記載の半導体膜の製造方法。

【請求項 50】 前記工程 (d) の後で、前記ゲッタリング領域または前記ゲッタリング層を除去する工程をさらに包含する請求項 42 から 49 のいずれかに記載に半導体膜の製造方法。

【請求項 51】 前記工程 (b) は、前記非晶質半導体膜の一部の領域に選択的に前記触媒元素を付与した後、前記第 1 の加熱処理を行うことにより、前記触媒元素が選択的に付与された前記一部の領域からその周辺部へと横方向に結晶成長させる工程を包含する、請求項 33 から 50 のいずれかに記載の半導体膜の製造方法。

【請求項 52】 前記工程 (b) は、前記第 1 の加熱処理の後に、前記結晶質半導体膜にレーザー光を照射する工程を含む、請求項 33 から 51 のいずれかに記載の半導体膜の製造方法。

【請求項 53】 前記工程 (c) は、前記触媒元素の半導体化合物を選択的にエッチングすることによって除去する工程を包含し、

前記エッチング工程は、前記工程 (b) における前記第 1 加熱工程の後で且つ前記レーザー光照射工程の前に実行され、表面を洗浄する工程を兼ねる、請求項 52 に記載の半導体膜の製造方法。

【請求項 54】 前記工程 (b) における前記第 1 加熱工程の後で、前記結晶質半導体膜上に絶縁膜を形成する工程を含み、

前記工程 (c) は、前記触媒元素の半導体化合物を選択的にエッチングすることによって除去する工程を包含し、

前記エッチング工程は、前記工程 (b) における前記第 1 加熱工程の後で且つ

前記絶縁膜形成工程前に実行され、表面を洗浄する工程を兼ねる、請求項 33 から 53 のいずれかに記載の半導体膜の製造方法。

【請求項 55】 前記触媒元素は、Ni、Co、Sn、Pb、Pd、Fe および Cu からなる群から選択される少なくとも一種の金属元素である、請求項 33 から 54 のいずれかに記載の半導体膜の製造方法。

【請求項 56】 請求項 33 から 55 のいずれかに記載に半導体膜の製造方法によって製造された半導体膜を用意する工程と、

前記半導体膜を活性領域に有する薄膜トランジスタを作製する工程と、
を包含する半導体装置の製造方法。

【請求項 57】 前記活性領域は、チャンネル領域と、ソース領域と、ドレイン領域とを含み、

前記薄膜トランジスタを作製する工程は、前記低濃度領域に少なくとも前記チャンネル領域を形成する工程を包含する、請求項 56 に記載の半導体装置の製造方法。

【請求項 58】 前記薄膜トランジスタを作製する工程は、前記低濃度領域に、前記チャンネル領域、前記ソール領域および前記ドレイン領域を形成する工程を包含する、請求項 57 に記載の半導体装置の製造方法。

【請求項 59】 請求項 1 から 32 のいずれかに記載の半導体膜を活性領域に有する薄膜トランジスタを備える半導体装置。

【請求項 60】 前記活性領域は、チャンネル領域と、ソース領域と、ドレイン領域とを含み、少なくとも前記チャンネル領域は前記第 1 領域に形成されている、請求項 59 に記載の半導体装置。

【請求項 61】 前記チャンネル領域、前記チャンネル領域と前記ソース領域との接合領域、および前記チャンネル領域と前記ドレイン領域との接合領域は、前記第 1 領域に形成されている請求項 60 に記載の半導体装置。

【請求項 62】 前記チャンネル領域と前記ソース領域との前記接合領域および前記チャンネル領域と前記ドレイン領域との前記接合領域は、それぞれの接合境界から 2 μ m 以下の範囲内にある、請求項 61 に記載の半導体装置。

【請求項 63】 前記活性領域は、チャンネル領域と、ソース領域と、ドレイン

領域とを有し、前記チャネル領域は前記第 1 領域に形成されており、前記ソール領域および前記ドレイン領域は、前記一对の第 2 領域に形成されている、請求項 5 9 に記載の半導体装置。

【請求項 6 4】 前記半導体膜の前記チャネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記チャネル領域に対向するように形成されたゲート電極とをさらに有し、

前記ゲート電極は、W、Ta、Ti および Mo からなる群から選択された少なくとも一種の元素を含む金属膜から形成されている、請求項 5 9 から 6 3 のいずれかに記載の半導体装置。

【請求項 6 5】 請求項 5 9 から 6 4 のいずれかに記載の半導体装置を備える電子機器。

【請求項 6 6】 複数の画素で構成される表示部を有し、前記複数の画素に前記半導体装置を介して表示信号が供給される電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、薄膜トランジスタ (Thin Film Transistor: TFT) により構成される半導体装置及びその製造方法に関し、さらに詳しく言えば、非晶質半導体膜を結晶化することによって形成された結晶質半導体膜を活性領域とする薄膜トランジスタを備えた半導体装置およびその製造方法に関する。特に、本発明の半導体装置は、ガラス基板などの絶縁性表面上に形成された薄膜トランジスタを備えるので、アクティブマトリクス型の液晶表示装置や有機 EL 表示装置、密着型イメージセンサー、三次元 IC などに利用できる。

【0 0 0 2】

【従来技術】

近年、大型で高解像度の液晶表示装置や有機 EL 表示装置、高速で高解像度の密着型イメージセンサー、三次元 IC などへの実現に向けて、ガラス等の絶縁基板上や、絶縁膜上に高性能な半導体素子を形成する試みがなされている。特に、同一基板上に画素部と駆動回路が設けられた液晶表示装置はパーソナルコンピュ

ータ（P C）向けのモニターとしてだけでなく、一般家庭の中に進出し始めている。例えば、C R T（C a t h o d e - r a y T u b e）のかわりにテレビジョンとして液晶ディスプレイが、また、娯楽として映画を観たりゲームをしたりするためのフロントプロジェクターが、一般家庭に導入されるようになり、液晶表示装置の市場規模はかなりの勢いで大きくなってきている。さらに、ガラス基板上にメモリ回路やクロック発生回路等のロジック回路を内蔵したシステムオンパネルの開発もさかんに進められている。

【0003】

高解像度な画像表示を行うために画素に書き込む情報量が増え、さらにその情報は短時間で書き込まれなければ、高精細な表示のための膨大な情報量を有する画像を動画表示したりすることは不可能である。そこで、駆動回路に用いられるT F Tには、高速動作が求められている。高速動作を可能にするためには、高い電界効果移動度を得られる良質な結晶性を有する結晶質半導体膜を用いてT F Tを実現することが求められている。

【0004】

ガラス基板上に良好な結晶質半導体膜を得る方法として、本発明者らは、非晶質半導体膜に結晶化を促進する作用を有する金属元素を添加した後、加熱処理を施すことにより、従来より低温・短時間の加熱処理で、結晶の配向性が揃った良好な半導体膜が得られる技術を開発している。

【0005】

しかし、触媒元素を用いて得られた結晶質ケイ素膜をそのまま半導体層として用いて作製されたT F Tには、オフ電流が突発的に増加してしまうという問題がある。触媒元素が半導体膜中で不規則に偏析すること、特に結晶粒界においてこの偏析が顕著に確認され、この触媒元素の偏析が、電流の逃げ道（リークパス）となり、これが原因でオフ電流の突発的な増加を引き起こしているのではないかと考えられる。そこで、結晶質ケイ素膜の作製工程の後、触媒元素を半導体膜中から移動させて、半導体膜中の触媒元素濃度を低減させる必要がある。以後、この触媒元素を取り除く工程を「ゲッターリング工程」と称する。

【0006】

このゲッターリング工程・ゲッターリング方法に関しては、様々な工程・方法が提案されている。

【0007】

例えば、特許文献1では、触媒元素により結晶化されたケイ素に対して、その一部に非晶質化した領域を形成し、加熱処理を行うことで、非晶質化された領域の格子欠陥を利用して、そこに触媒元素を移動（ゲッターリング）させる技術を開示している。このときの非晶質領域（ゲッターリング領域）としては、半導体素子領域外に形成する方法と、TFTのソース／ドレイン領域を利用する方法とが開示されている。ソース／ドレイン領域をゲッターリング領域として用いた場合には、製造工程が簡略化できるが、非晶質領域のままではソース／ドレイン領域として機能しないためレーザー光などを用いて活性化する付加工程が必要となる。

【0008】

また、特許文献2では、触媒元素により結晶化されたケイ素に対して、その一部にリンなど5族B（リン等）の元素を選択的に導入し、加熱処理を行うことで、5族Bの元素が導入された領域（ゲッターリング領域）に、触媒元素を移動（ゲッターリング）させる技術を開示している。5族B元素が導入された領域に触媒元素がゲッターリングされた結果、触媒元素の濃度が低下した領域（「低濃度領域」ということもある。）を使用して半導体素子（TFT）の活性領域を形成している。

【0009】

また、特許文献3では、触媒元素のシリサイド成分を、フッ化水素酸を用いて選択的にエッチングすることで除去する方法を開示している。

【0010】

【特許文献1】

特開平8-213317公報

【特許文献2】

特開平10-270363公報

【特許文献3】

特開平9-107100公報

【0011】

【発明が解決しようとする課題】

上記3つの特許文献に開示されている技術も含め、従来のゲッターリング工程における問題点としては、ゲッターリングのための工程付加によるプロセスの複雑化や製造装置の負荷増大による高コスト化等もあるが、最も大きな問題としては、これらの従来法ではゲッターリング効果が十分ではなく、TF Tのチャネル領域における触媒元素の残留量をまだ十分には低減できていない点である。

【0012】

最も簡便なゲッターリング方法として、特許文献3のようにフッ化水素酸を用いて、ケイ素膜中の触媒元素をエッチング除去する方法があるが、本発明者らが、実際に特許文献3の方法を用いてゲッターリング後の触媒元素の残留量を調べたところ、ケイ素膜に導入した触媒元素の内、約半分の量は除去されずに残ることが確認された。これは、フッ化水素酸の濃度を上げても、エッチング時間を延ばしても、導入量に対して約半分ほどの値で飽和し、これ以上は触媒元素の量を低減できない。すなわち、上記のゲッターリング方法では、導入時の触媒元素濃度の半分の濃度までしか触媒濃度を低減することができない。この方法を用いてTF Tを作製したところ、10%～20%程度（個数基準）の確率でTF Tオフ時のリーク電流が大きい不良TF Tが出現した。すなわち、100万個のTF Tを有するアクティブマトリクス基板（半導体装置の一形態）においては、10万から20万個のTF Tが不良TF Tとなる。このときリファレンスとして作製した全くゲッターリングを行っていないTF Tも、同様に10%～20%程度の確率でリーク電流が大きい不良TF Tが出現していることから、この特許文献3の方法だけでは、素子特性においては全くゲッターリングの効果が見られないことがわかる。

【0013】

これに対して、非晶質やリン等のゲッターリング元素（触媒元素を引き寄せる作用を有する元素を「ゲッターリング元素」ということにする。）を導入したゲッターリング領域を形成し、そこにケイ素膜中の触媒元素を移動させる特許文献1や特許文献2のような方法では、触媒元素の量を一桁以上低減することが可能である。しかしながら、これらの特許文献の方法を用いTF Tを作製したところ、ゲッ

タリング領域の形成方法の違いによりそれぞれ若干の効果の違いは見られるが、0. 数%～数%程度の確率でTFOTオフ時のリーク電流が非常に大きい不良TFOTが出現した。リファレンスとして作製した全くゲッタリングを行っていないTFOTでは、リーク電流不良TFOTの発生確率が10%～20%程度であったから、これらの特許文献の方法ではゲッタリング効果が素子特性上からも確実に見られるが、それでも、まだ数%のリーク電流不良TFOTが残る。すなわち、100万個のTFOTを有するアクティブマトリクス基板においては、数万のTFOTが不良TFOTとなる。

【0014】

したがって、公知のゲッタリング技術では、得られたチャンピオンデータでも、まだ0. 数%程度のTFOT不良を覚悟せざるを得ない。このような状態で、液晶や有機EL表示用のアクティブマトリクス基板を作製した場合、一部の画素TFOTではオフ動作時のリーク電流により輝点（点欠陥）が発生し、また、ドライバー（駆動回路）部においては、サンプリングTFOT部でのリーク電流により、ライン欠陥が生じる。その結果、パネルの歩留まりを大きく低下させることになってしまっている。

【0015】

オフ動作時のリーク電流が大きい不良TFOTを解析すると、やはりチャネル領域とドレイン領域との接合部に、触媒元素によるシリサイドが存在していることが確認されており、一次原因は触媒元素の偏析、二次原因はゲッタリングが未だ不十分であることが上げられる。よって、前記特許文献の技術では、十分に触媒元素をゲッタリングできておらず、高性能なTFOTは一部確率的に作製できても、不良率が高く、また信頼性も悪く、量産に適用できる技術とは言えない。

【0016】

本発明は、上記の諸点に鑑みてなされたものであり、その目的は、良質な結晶質半導体膜を作製し、この結晶質半導体膜を用いて良好な特性を有するTFOTを備える半導体装置を実現することにある。また、このような半導体装置を、製造工程を増やさずに低コストな製造工程にて実現する製造方法を提供することを目指す。

【0017】

【課題を解決するための手段】

本発明の半導体膜は、絶縁性表面上に形成された半導体膜であって、結晶質を有し、前記半導体の結晶化を促進する触媒元素を含み、複数の微細なあなを有する少なくとも1つの領域を含むことを特徴とし、そのことによって上記目的が達成される。前記少なくとも一部の領域は半導体膜の実質的に全領域でも良いし、後に活性領域（少なくともチャネル領域）を形成する領域に対応した複数の領域であっても良い。

【0018】

前記少なくとも1つの領域の前記半導体膜は、前記触媒元素の高級半導体化合物を実質的に含まず、前記触媒元素は前記結晶質半導体膜中に固溶していることが好ましい。

【0019】

ある実施形態において、前記半導体膜は実質的にSiから構成され、前記触媒元素は金属元素Mであり、前記高級半導体化合物は $M_x Si_y$ ($x > y$) の組成式で表される。

【0020】

前記少なくとも1つの領域の前記半導体膜は、前記触媒元素の低級半導体化合物を実質的に含まないことが好ましい。

【0021】

ある実施形態において、前記半導体膜は実質的にSiから構成され、前記触媒元素は金属元素Mであり、前記低級半導体化合物は $M_x Si_y$ ($x \leq y$) の組成式で表される。

【0022】

前記少なくとも1つの領域の前記半導体膜における前記触媒元素の濃度は、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以下であることが好ましい。

【0023】

本発明の半導体膜は、絶縁性表面上に形成された半導体膜であって、結晶質半導体層からなり、前記半導体の結晶化を促進する触媒元素を含む活性領域を含み

、前記活性領域は、第 1 領域と、前記第 1 領域の両側に前記第 1 領域に隣接して形成された一对の第 2 領域を含み、前記第 1 領域の前記結晶質半導体層は複数の微細なあなを有することを特徴とし、そのことによって上記目的が達成される。

【0024】

前記第 1 領域は、前記触媒元素の高級半導体化合物を実質的に含まず、前記触媒元素は前記結晶質半導体層中に固溶していることが好ましい。

【0025】

ある実施形態において、前記結晶質半導体層は実質的に Si から構成され、前記触媒元素は金属元素 M であり、前記高級半導体化合物は $M_x Si_y$ ($x > y$) の組成式で表される。

【0026】

前記第 1 領域は、前記触媒元素の低級半導体化合物を実質的に含まないことが好ましい。

【0027】

ある実施形態において、前記結晶質半導体層は実質的に Si から構成され、前記触媒元素は金属元素 M であり、前記低級半導体化合物は $M_x Si_y$ ($x \leq y$) の組成式で表される。

【0028】

前記第 1 領域における前記触媒元素の濃度は、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以下であることが好ましい。

【0029】

ある実施形態において、前記一对の第 2 領域は前記第 1 領域よりも前記触媒元素の濃度が高い。前記一对の第 2 領域における前記触媒元素の濃度は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下の範囲内にある。

【0030】

ある実施形態において、前記一对の第 2 領域の前記結晶質半導体層は、複数の微細なあなを有する。

【0031】

ある実施形態において、前記一对の第 2 領域の前記結晶質半導体層は、前記触

媒元素の高級半導体化合物を実質的に含まず、前記触媒元素は前記結晶質半導体層中に固溶している。

【0032】

ある実施形態において、前記結晶質半導体層は実質的に Si から構成され、前記触媒元素は金属元素 M であり、前記高級半導体化合物は $M_x Si_y$ ($x > y$) の組成式で表される。

【0033】

ある実施形態において、前記一对の第 2 領域は、前記触媒元素の低級半導体化合物を実質的に含まない。

【0034】

ある実施形態において、前記結晶質半導体層は実質的に Si から構成され、前記触媒元素は金属元素 M であり、前記低級半導体化合物は $M_x Si_y$ ($x \leq y$) の組成式で表される。

【0035】

ある実施形態において、前記一对の第 2 領域における前記触媒元素の $1 \times 10^{17} \text{ atoms/cm}^3$ 以下である。

【0036】

ある実施形態において、前記一对の第 2 領域は n 型導電性を付与する周期表第 5 族 B に属する不純物元素を含む。

【0037】

ある実施形態において、前記活性領域は、前記第 1 領域、前記一对の第 2 領域、および、前記触媒元素を引き寄せる作用を有するゲッタリング領域を含む。

【0038】

ある実施形態において、前記ゲッタリング領域は、前記第 1 領域よりも前記触媒元素の濃度が高い。

【0039】

ある実施形態において、前記ゲッタリング領域における前記触媒元素の濃度は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下の範囲内にある。

【 0 0 4 0 】

ある実施形態において、前記ゲッタリング領域は、前記第 1 領域および前記一対の第 2 領域よりも前記触媒元素の濃度が高い。

【 0 0 4 1 】

ある実施形態において、前記ゲッタリング領域は、前記第 1 領域および前記一対の第 2 領域よりも多くの非晶質成分を含む。

【 0 0 4 2 】

ある実施形態において、前記ゲッタリング領域は、n 型導電性を付与する周期表第 5 族 B に属する不純物元素と、p 型導電性を付与する周期表第 3 族 B に属する不純物元素とを含む。

【 0 0 4 3 】

ある実施形態において、前記ゲッタリング領域は、A r、K r および X e からなる群から選択された少なくとも一種の希ガス元素を含む。

【 0 0 4 4 】

前記複数の微細なあなは、前記触媒元素の半導体化合物の塊が除去されることによって形成されたものである。

【 0 0 4 5 】

ある実施形態において、前記複数の微細なあなの直径は、 $0.05\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下の範囲内にある。

【 0 0 4 6 】

ある実施形態において、前記第 1 領域の前記結晶質半導体層の平均表面粗さ R a は、 4nm 以上 9nm 以下の範囲内にある。

【 0 0 4 7 】

前記触媒元素は、N i、C o、S n、P b、P d、F e および C u からなる群から選択される少なくとも一種の金属元素であることが好ましい。

【 0 0 4 8 】

本発明の半導体膜の製造方法は、(a) 絶縁性表面上に非晶質半導体層を形成する工程と、(b) 前記非晶質半導体層に結晶化を促進する触媒元素を付与した後、第 1 の加熱処理を行うことにより、前記非晶質半導体層を結晶化し、結晶質

半導体層を得る工程と、(c) 前記結晶質半導体層中に存在する前記触媒元素の半導体化合物の少なくとも大きな塊を除去する工程と、(d) 前記結晶質半導体層中に残存する前記触媒元素の少なくとも一部を移動させることによって、前記結晶質半導体層に前記触媒元素の濃度が他の領域よりも低い低触媒領域を形成する工程とを包含することを特徴とする。

【0049】

ある実施形態において、前記工程(c)は、前記触媒元素の高級半導体化合物を除去する工程を含み、前記低触媒領域は前記高級半導体化合物を実質的に含まない。

【0050】

ある実施形態において、前記結晶質半導体層は実質的にSiから構成され、前記触媒元素は金属元素Mであり、前記高級半導体化合物は $M_x Si_y$ ($x > y$)の組成式で表される。

【0051】

ある実施形態において、前記工程(d)は、前記触媒元素の低級半導体化合物を形成している触媒元素を移動させる工程を含み、前記低触媒領域は前記低級半導体化合物を実質的に含まない。

【0052】

ある実施形態において、前記結晶質半導体層は実質的にSiから構成され、前記触媒元素は金属元素Mであり、前記低級半導体化合物は $M_x Si_y$ ($x \leq y$)の組成式で表される。

【0053】

ある実施形態において、前記工程(d)は、前記結晶質半導体層中に固溶している前記触媒元素を移動させる工程を含む。

【0054】

ある実施形態において、前記工程(c)は、前記触媒元素の半導体化合物を選択的にエッチングすることによって除去する工程を包含する。

【0055】

ある実施形態において、前記工程(c)における前記エッチングは、エッチャ

ントとして少なくともフッ化水素を含む酸を用いて実行される。

【 0 0 5 6 】

ある実施形態において、前記工程（d）は、前記結晶質半導体膜に残存する前記触媒元素の半導体化合物を構成する前記触媒元素を前記結晶質半導体膜中に固溶させる工程を包含する。

【 0 0 5 7 】

ある実施形態において、前記工程（d）は、前記触媒元素を引き寄せる作用を有するゲッターリング領域またはゲッターリング層を形成する工程と、この工程に後に第2の加熱処理を行うことにより、前記結晶質半導体膜に残存する触媒元素を前記ゲッターリング領域または前記ゲッターリング層へ移動させる工程とを包含する。

【 0 0 5 8 】

ある実施形態において、前記ゲッターリング領域または前記ゲッターリング層は、前記結晶質半導体膜の他の領域よりも多くの非晶質成分を含む。

【 0 0 5 9 】

ある実施形態において、前記ゲッターリング領域または前記ゲッターリング層は、n型導電性を付与する周期表第5族Bに属する不純物元素を含む。

【 0 0 6 0 】

ある実施形態において、前記不純物元素は、P、AsおよびSbからなる群から選択された少なくとも一種の元素を含む。

【 0 0 6 1 】

ある実施形態において、前記ゲッターリング領域または前記ゲッターリング層は、p型導電性を付与する周期表第3族Bに属する不純物元素を含む。

【 0 0 6 2 】

ある実施形態において、前記不純物元素は、BおよびAlの少なくとも一方を含む。

【 0 0 6 3 】

ある実施形態において、前記ゲッターリング領域または前記ゲッターリング層は、Ar、KrおよびXeからなる群から選択された少なくとも一種の希ガス元素を

含む。

【0064】

ある実施形態において、前記ゲッタリング領域または前記ゲッタリング層が含む前記不純物元素および／または前記少なくとも一種の希ガス元素はイオン注入法によって導入される。

【0065】

ある実施形態において、前記工程（d）の後で、前記ゲッタリング領域または前記ゲッタリング層を除去する工程をさらに包含する。

【0066】

ある実施形態において、前記工程（b）は、前記非晶質半導体膜の一部の領域に選択的に前記触媒元素を付与した後、前記第1の加熱処理を行うことにより、前記触媒元素が選択的に付与された前記一部の領域からその周辺部へと横方向に結晶成長させる工程を包含する。

【0067】

ある実施形態において、前記工程（b）は、前記第1の加熱処理の後に、前記結晶質半導体膜にレーザー光を照射する工程を含む。

【0068】

ある実施形態において、前記工程（c）は、前記触媒元素の半導体化合物を選択的にエッチングすることによって除去する工程を包含し、前記エッチング工程は、前記工程（b）における前記第1加熱工程の後で且つ前記レーザー光照射工程の前に実行され、表面を洗浄する工程を兼ねる。

【0069】

ある実施形態において、前記工程（b）における前記第1加熱工程の後で、前記結晶質半導体膜上に絶縁膜を形成する工程を含み、前記工程（c）は、前記触媒元素の半導体化合物を選択的にエッチングすることによって除去する工程を包含し、前記エッチング工程は、前記工程（b）における前記第1加熱工程の後で且つ前記絶縁膜形成工程前に実行され、表面を洗浄する工程を兼ねる。

【0070】

ある実施形態において、前記触媒元素は、Ni、Co、Sn、Pb、Pd、F

e および C u からなる群から選択される少なくとも一種の金属元素である。

【 0 0 7 1 】

本発明の半導体装置の製造方法は、上記のいずれかの半導体膜の製造方法によって製造された半導体膜を用意する工程と、前記半導体膜を活性領域に有する薄膜トランジスタを作製する工程とを包含する。

【 0 0 7 2 】

ある実施形態において、前記活性領域は、チャネル領域と、ソース領域と、ドレイン領域とを含み、前記薄膜トランジスタを作製する工程は、前記低濃度領域に少なくとも前記チャネル領域を形成する工程を包含する。

【 0 0 7 3 】

ある実施形態において、前記薄膜トランジスタを作製する工程は、前記低濃度領域に、前記チャネル領域、前記ソール領域および前記ドレイン領域を形成する工程を包含する。

【 0 0 7 4 】

本発明の半導体装置は、上記のいずれかの半導体膜を活性領域に有する薄膜トランジスタを備えることを特徴とする。

【 0 0 7 5 】

ある実施形態において、前記活性領域は、チャネル領域と、ソース領域と、ドレイン領域とを含み、少なくとも前記チャネル領域は前記第 1 領域に形成されている。

【 0 0 7 6 】

ある実施形態において、前記チャネル領域、前記チャネル領域と前記ソース領域との接合領域、および前記チャネル領域と前記ドレイン領域との接合領域は、前記第 1 領域に形成されている。

【 0 0 7 7 】

ある実施形態において、前記チャネル領域と前記ソース領域との前記接合領域および前記チャネル領域と前記ドレイン領域との前記接合領域は、それぞれの接合境界から 2 μ m 以下の範囲内にある。

【 0 0 7 8 】

ある実施形態において、前記活性領域は、チャンネル領域と、ソース領域と、ドレイン領域とを有し、前記チャンネル領域は前記第1領域に形成されており、前記ソール領域および前記ドレイン領域は、前記一对の第2領域に形成されている。

【0079】

ある実施形態において、前記半導体膜の前記チャンネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記チャンネル領域に対向するように形成されたゲート電極とをさらに有し、前記ゲート電極は、W、Ta、TiおよびMoからなる群から選択された少なくとも一種の元素を含む金属膜から形成されている。

【0080】

本発明の電子機器は、上記のいずれかの半導体装置を備えることを特徴とする。

【0081】

ある実施形態において、複数の画素で構成される表示部を有し、前記複数の画素に前記半導体装置を介して表示信号が供給される。表示部を有する電子機器は、例えば、アクティブマトリクス型の液晶表示装置や有機EL表示装置である。

【0082】

【発明の実施の形態】

本発明者らは、何故、上記特許文献1から3など開示されているゲッタリング技術ではゲッタリングが不十分となり、完全に触媒元素を除去することができないのか、という根本的な疑問をもち、そのメカニズムと原因を詳細に検討した。その結果、ついにその原因をつきとめ、本発明に想到した。その原因解明プロセス、結果、及び本発明の実施形態を以下に説明する。

【0083】

触媒元素としてニッケルを用い、ゲッタリング領域にケイ素膜中の触媒元素を移動させる特許文献1や特許文献2のような方法を考える。ニッケルの移動は、ニッケルの拡散移動で考えられるが、単純にニッケルの拡散係数から考えると、その移動時間はほんの短時間の熱処理で済むことになる。しかし、実際には、高温で長時間のアニール工程が必要であり、拡散係数から算出した値とは全く合わ

ない。これに対して、実際にニッケルは、全てがケイ素膜中に固溶した状態で存在しているのではなく、大部分は析出して存在していることから、これをモデルに取り入れ、ケイ素膜中でのニッケルの固溶度以下においてのみニッケルの拡散移動が行われるというモデルが考えられる。図13を参照しながらこのモデルを説明する。

【0084】

図13のように、局在したNiシリサイドが、シリサイド形態からまず固溶し、格子間Niとしてケイ素膜中を移動するモデルである。図13において、ライン901はNiのケイ素膜中の濃度を示すラインであり、ライン902はNiの固溶度を示すラインである。領域906はまだゲッターリングされていない領域で、固溶度902以上の濃度のNi903がNiシリサイドとして析出している。領域907は、ゲッターリングが行われた領域で、Ni濃度901が固溶度902以下となっている。領域908はゲッターリングサイト（ゲッターリング領域）で、そのゲッターリング能力を無限大とし、ゲッターリングサイトでのNi濃度を0と仮定している。すなわち、図13のように、ゲッターリングのための熱処理温度における固溶度902以下の濃度でNiの濃度勾配904が生じ、ゲッターリングサイト908へと905の方向にNiの拡散移動が行われ、Niシリサイドが消失していく。その結果、ゲッターサイトからのゲッターリング距離（領域907の幅）が順次延びていくものであり、現象として実際の実験結果とよく合っている。

【0085】

この理論を元にすると、ゲッターリング距離（領域907の幅）は以下の式で表され、時間tにしたがってゲッターリング距離Lが延びていくことになる。ここで、 C_0 はケイ素膜中のNiの固溶度、 D はケイ素膜中のNiの拡散係数で、それぞれ温度Tの関数となる。 C_1 は、ケイ素膜中の元のNi濃度である。

【0086】

$$L = \sqrt{(2 C_0 \cdot D \cdot t / C_1)}$$

【0087】

この式を解いた計算結果を図14に示す。図14では、ゲッターリングの熱処理を550℃として計算を行っている。曲線911は、前記計算式に基づいて計算

した結果を示しており、ゲッターリングの熱処理時間にしたがってゲッターリング距離は延びていく。これに対して、点 912 は実験から得られたゲッターリング距離を同時にプロットしたのものである。実験は、Ni シリサイドの残留をフッ化水素酸でエッチングし、そのエッチングあなが存在するかどうかでゲッターリング距離を確認した。ゲッターリング領域には、リンに加えボロンもドーピングすることで、そのゲッターリング能力を高めている。また、ゲッターリングの熱処理は勿論 550℃で行っている。図 14 からわかるように、実験値 912 と理論値 911 は非常によく一致しており、Ni のゲッターリング移動に関して、前記の理論的考察がほぼ正しいと考えられる。

【0088】

ところが、実際に色々な条件において、ゲッターリング距離を調べていると、理論値に合わない場合も多い。一つは、ゲッターリング領域の能力が不十分の場合で、ゲッターリング能力を無限大と仮定している前記理論値からの乖離が生じる。しかしながら、問題は十分なゲッターリング能力を有するゲッターリング領域を形成しても、ゲッターリング距離が理論値に比べ著しく短い場合があることである。これが、前記課題である従来の技術では十分に触媒元素をゲッターリングできず、部分的に T F T オフ時のリーク電流の異常を完全に抑えることができていない根本原因である。

【0089】

本発明者らは、この原因を調査し、特に触媒元素の添加し結晶成長させる際の温度で、大きな差が見られることを見つけた。その実験結果を図 15 に示す。ゲッターリングの熱処理は 550℃、4 H とし、その時のゲッターリング距離を前記方法で調べたものである。横軸は、触媒元素を用い結晶化させるとき（第 1 の加熱処理）の熱処理温度を示す。このときの熱処理時間は 4 時間で一定としている。前記理論により計算したこのときのゲッターリング距離 921 は約 20 μm で、結晶化温度によらず一定値であるが、実際の実験値 922 は結晶化の熱処理温度に大きく依存し、結晶化時の加熱処理温度が上がると著しく低下する。

【0090】

これは、結晶成長後の Ni シリサイドの偏析状態が、結晶時の加熱処理温度に

よって異なっていることが原因と考えられる。図16に、結晶化の加熱処理後、フッ化水素酸でNiシリサイドをエッチングし顕在化させたときの光学顕微鏡写真を示す。写真に見られる黒い点は、Niシリサイドがエッチングされ下地層に大きなダメージが加わることでより顕在化されたエッチピット（微細なあな）である。結晶化時のアニール温度が、550℃、575℃、600℃の場合を示しているが、このときの温度が高いほど、個々のNiシリサイドのエッチピットが大きくなっているような傾向が見られる。すなわち、結晶化時の熱処理温度が高いほど、全体的に個々のNiシリサイドの大きさが大きくなっていると考えられる。

【0091】

実際には、このように結晶成長後に局在しているNiシリサイド（触媒元素の半導体化合物）は、膜中において様々な大きさのものが分布している。特に大きなものもあれば、比較的小さなものもある。結晶成長時の温度は、この全体的な大きさ（平均値）に影響している。上記従来技術では550℃以下の温度で結晶化を行っても実際に0.数%程度のTF T不良が発生し十分な製造歩留まりが得られない。本発明は結晶化時の温度に言及するものではないが、上述の結晶化温度の実験は、前記従来技術の課題を解決するための大きなヒントを与えてくれた。

【0092】

すなわち、ゲッタリングが見かけ上、ほぼ完全に行われるような条件でも、未だNi起因のTF T不良が発生する原因は、膜中でばらついて存在しているNiシリサイドの大きさにある。このメカニズムを図17を参照しながら説明する。図17の円931は大きな塊のNiシリサイドを模式的に示し、円932は小さな塊のNiシリサイドを模式的に示している。ゲッタリング移動のメカニズムを図13を用い説明したが、これは、局在したNiシリサイドがシリサイド形態からまず固溶し、格子間Niとしてケイ素膜中を移動するモデルである。すなわち、ゲッタリングのためには、まずNiシリサイドをケイ素膜格子間に固溶させなくてはならない。このモデルに基づいた前記式では、このときのNiシリサイドを固溶させるために必要な時間は初期の濃度だけで考えているが、実際には図17の矢印933に示すように二次元的な固溶が生じている。したがって、その固

溶時間はシリサイドの大きさ（半径 934）により異なり、その半径 R が大きいほど固溶させるためにより長時間の熱処理が必要である。よって、実際のゲッターリングに必要な時間は、さらにシリサイドの半径 934 に依存した固溶時間に関する項が加算される必要がある。

【0093】

上記従来技術の根本的な原因は、特に大きな Ni シリサイドの塊が存在すると、その塊を固溶させるために長時間を費やし、ゲッターリングの熱処理時間内でその大きさは徐々に小さくはなるが、所定の熱処理時間が終了しても未だ Ni シリサイドとして残り、見かけ上ゲッターリングされていないことであることがわかった。結晶成長後の Ni シリサイドの大きさは膜中でばらついて存在しており、特に半径が大きなシリサイドが従来法では十分にゲッターリングできずに残り、それが 0. 数% 程度の確率で未だ T F T 不良を引き起こしている原因となっているのである。

【0094】

この大きな Ni シリサイドの塊を取り除く方法としては、フッ化水素酸で選択的にエッチングする方法が有効である。図 18 に、触媒元素により結晶化されたケイ素膜の表面をフッ化水素酸で処理した際の処理時間とケイ素膜表面の Ni 濃度との関係を示す。ケイ素膜表面の Ni 濃度測定は、全反射蛍光 X 線分析 (T R X R F) により行った。T R X R F はケイ素膜の最表層 10 nm 程度までの深さを検出している。使用したフッ化水素酸の濃度は 1 % である。フッ化水素酸の処理時間を延ばすと、ケイ素膜表面の Ni 濃度が低下していくが、あるところで飽和し、それ以上はいくら処理時間を延ばしても濃度は下がらない。このときの Ni 濃度は、初期の約半分程度の値となる。フッ化水素酸は、 Ni シリサイドのみを選択的にエッチングし、メタル Ni はエッチングされない。また Ni シリサイドの組成に対しても、高級シリサイド ($NiSi_2$) では特にエッチングレートが大きく、それ以外の低級シリサイド (Ni_2Si や $NiSi$ 等) はエッチングレートが小さい。その結果、比較的大きな安定組成 ($NiSi_2$) の高級 Ni シリサイドはある程度取り除くことができるが、小さなシリサイドや低級シリサイドまでは取り除くことができない。よって、 Ni の濃度低下は半分程度で飽和し

、前述のように、この方法だけではTFT不良に対する効果はほとんどないことが判明している。このとき、ケイ素膜には、Niシリサイドがエッチングされた跡のあなが生じている。この状態を図19に示す。図19は走査型電子顕微鏡（SEM）で見たときの画像写真である。

【0095】

本発明者らは、以上の実験結果に鑑み、ゲッタリング工程の目的、すなわちゲッタリング対象物を明確化し、その対象物、その存在状態に応じた方法で、多段階のゲッタリング工程を行うことを考えた。すなわち、まずは従来の方法でゲッタリング困難であった大きな塊のNiSi₂を除去し、次に別工程で残りの小さな塊のNiSi₂および／または低級シリサイド等をゲッタリングするという考え方である。この作用は、非常に大きな相乗効果をもたらし、本発明者らは、ほぼ完全にゲッタリングすることに成功した。このようにして得られた結晶質半導体膜を用いて作製したTFTを備えるアクティブマトリクス型液晶表示装置では、触媒元素起因の不良はほぼ皆無で、今までに無い高い歩留まりを達成することができた。

【0096】

すなわち、本発明による半導体膜の製造方法は、（a）絶縁性表面上に非晶質半導体層を形成する第1工程と、（b）非晶質半導体層に結晶化を促進する触媒元素を付与した後、第1の加熱処理を行うことにより、非晶質半導体層を結晶化し、結晶質半導体層を得る第2工程と、（c）結晶質半導体層中に存在する前触媒元素の半導体化合物の少なくとも大きな塊を除去する第3工程（第1ゲッタリング工程）と、（d）結晶質半導体層中に残存する触媒元素の少なくとも一部を移動させることによって、結晶質半導体層に触媒元素の濃度が他の領域よりも低い低触媒領域を形成する第4工程（第2ゲッタリング工程）とを包含する。本発明の半導体装置の製造方法は、触媒元素が低減された結晶質半導体膜を用いて後のTFTのチャネル領域を形成する第5の工程を包含することを特徴とする。

【0097】

工程（c）は、触媒元素の高級半導体化合物を除去する工程を含み、低触媒領域は高級半導体化合物を実質的に含まないことが好ましい。例えば、結晶質半導

体層は実質的に Si から構成され、触媒元素は金属元素 M であり、高級半導体化合物は $M_x Si_y$ ($x > y$) の組成式で表される。

【0098】

工程 (d) は、触媒元素の低級半導体化合物を形成している触媒元素を移動させる工程を含み、低触媒領域は低級半導体化合物を実質的に含まないことが好ましい。例えば、結晶質半導体層は実質的に Si から構成され、触媒元素は金属元素 M であり、低級半導体化合物は $M_x Si_y$ ($x \leq y$) の組成式で表される。

【0099】

工程 (d) は、結晶質半導体層中に固溶している触媒元素を移動させる工程を含むことが好ましい。

【0100】

以上のように、本発明では、それぞれのゲッターリング工程の目的、すなわちゲッターリング対象物を明確化し、その対象物、その時々（触媒元素の存在状態）に応じた方法で、多段階のゲッターリング工程を行う。それにより、従来の単一のゲッターリング方法ではゲッターリング困難であった大きな塊の触媒元素化合物や、小さな塊の触媒元素化合物、低級触媒元素化合物等を完全にゲッターリングすることができる。また、すなわち、このような多段階のゲッターリング作用は、本発明のようにそれぞれの対象物を絞ってゲッターリングすることで非常に大きな相乗効果をもたらし、単独のゲッターリングでは得られない著しい改善が見られる訳である。

【0101】

本発明では、第 1 のゲッターリング工程は、結晶質半導体膜に存在する触媒元素の半導体化合物のうち大きな塊（これらは典型的には高級組成の半導体化合物から形成されている）を選択的にエッチングすることにより行うことを特徴としている。

【0102】

また、好ましい実施形態においては、この第 1 のゲッターリング工程は、エッチャントとして少なくともフッ化水素を有する酸を用い、エッチャントに結晶質半導体膜表面を晒すことにより行う。

【0103】

これに対して、第2のゲッターリング工程は、結晶質半導体膜に残存する触媒元素の高級半導体組成物の比較的小さな塊および／または触媒元素の低級半導体化合物を、一旦、半導体膜中に固溶させて、チャネル領域以外の他の領域へと移動させることにより行う。このとき、半導体膜中に固溶している触媒元素も移動される。

【0104】

また、この第2のゲッターリング工程は、触媒元素を引き寄せる作用を有するゲッターリング領域あるいはゲッターリング層を設け、第2の加熱処理を行うことにより、結晶質半導体膜に残存する触媒元素およびその半導体化合物を、一旦、半導体膜中に固溶させて、ゲッターリング領域あるいはゲッターリング層へと移動させることにより行う。

【0105】

第1及び第2のゲッターリング工程をこのように行うことにより、第1のゲッターリング工程では、従来の熱処理によりチャネル領域以外の他の領域へと移動させる方法でゲッターリング困難であった触媒元素の化合物（特に大きな塊のものや高級組成のもの）を効果的に除去できる。また、第2のゲッターリング工程では、第1のゲッターリング工程における選択的エッチング処理では除去されない、触媒元素化合物の小さな塊や低級組成の触媒元素化合物、そして結晶質半導体膜中に固溶した状態で存在する触媒元素を効率的に除去することができる。結晶質半導体膜中に固溶した状態で存在する触媒元素は、化合物状態に比べてTF Tへの影響は比較的小さいが、TF T駆動時において化合物状態となり再析出する場合もあるため、半導体膜中の固溶度に対してぎりぎりのレベルでは無く、一桁以上は下げておく方が望ましい。第1のゲッターリング工程では、フッ化水素酸を用いることで、半導体膜にダメージを与えることなく、触媒元素化合物のみを選択的にエッチング除去できる。

【0106】

本発明のある実施形態においては、第1の工程において絶縁性表面上に形成する非晶質半導体膜として非晶質ケイ素膜を用い、第3の工程（第1のゲッターリン

グ工程)で低減される触媒元素の半導体化合物はシリサイド化合物であることを特徴としている。さらには、第3の工程(第1のゲッタリング工程)で低減される触媒元素の高級組成の半導体化合物は NiSi_2 組成のシリサイド化合物であり、第4の工程(第2のゲッタリング工程)で低減される触媒元素の低級組成の半導体化合物は主に Ni_2Si 組成及び NiSi 組成のシリサイド化合物である。

【0107】

また、ある実施形態では、非晶質半導体膜にその結晶化を促進する触媒元素を添加し、第1の加熱処理を行うことにより非晶質半導体膜を結晶化し、結晶質半導体膜とする第2の工程は、非晶質半導体膜の一部に選択的に触媒元素を添加し、第1の加熱処理を行うことにより、触媒元素が選択的に添加された領域からその周辺部へと横方向に結晶成長させることにより行われる。

【0108】

このようにすることで、横方向に結晶成長した領域では、結晶成長方向がほぼ一方向にそろった良好な結晶質半導体膜を得ることができ、TFTの電流駆動能力をより高めることが可能である。また、この横方向に結晶成長した領域では、触媒元素が直接添加された領域よりも結晶成長後における触媒元素の膜中濃度が1~2桁低減できるため、後のゲッタリング工程の負荷を小さくすることができる。

【0109】

ここで、上述の方法によって結晶成長方向がほぼ一方向にそろった結晶質膜が得られるメカニズムを図20を参照しながら説明する。

【0110】

本発明による結晶質半導体膜(少なくともチャネル領域の形成に用いられる)においては、結晶の面配向が主に $\langle 111 \rangle$ 晶帯面で構成されている。さらに具体的には、結晶質半導体膜の結晶の面配向の割合は、 $\langle 111 \rangle$ 晶帯面の中でも、特に (110) 面配向と (211) 面配向とで全体の50%以上の領域が占められている。一般的に触媒元素を用いない結晶化では、半導体膜下地の絶縁体(特に非晶質二酸化ケイ素の場合)の影響で、結晶質半導体膜の面配向は、 $(11$

1) に向きやすい。これに対して、非晶質半導体膜に触媒元素を添加し結晶化させた場合に得られる結晶質半導体膜の面配向が主に $\langle 111 \rangle$ 晶帯面で構成される様子を模式的に図 20 (A) に示す。図 20 (A) において、281 は下地絶縁体、282 は未結晶化領域の非晶質半導体膜、283 は結晶質半導体膜、284 は結晶成長のドライビングフォースとなっている触媒元素の半導体化合物である。

【0111】

図 20 (A) に示すように、触媒元素化合物 284 が結晶成長の最前線に存在し、隣接する非晶質領域 282 を紙面右方向に向かって次々と結晶化していくのであるが、このとき触媒元素化合物 284 は、 $\langle 111 \rangle$ 方向に向かって強く成長する性質がある。その結果、得られる結晶質半導体膜の面方位としては、図 20 (A) に示すように $\langle 111 \rangle$ 晶帯面が現れる。

【0112】

図 20 (B) には、 $\langle 111 \rangle$ 晶帯面を示す。図 20 (B) において、横軸は (-100) 面からの傾斜角度で、縦軸は表面エネルギーを表す。グループ 285 は、 $\langle 111 \rangle$ 晶帯面となる結晶面である。 (100) 面と (111) 面は $\langle 111 \rangle$ 晶帯面ではないが、比較のために示してある。

【0113】

また、図 20 (C) には、結晶方位の標準三角形を示す。ここで、 $\langle 111 \rangle$ 晶帯面の分布は、破線のようになる。数字は代表的な極点の指数である。これらの $\langle 111 \rangle$ 晶帯面の中でも、本発明で得られる結晶質半導体膜では、特に (110) 面あるいは (211) 面が優勢配向となり、これらの面が全体の 50% 以上を占めるときに優位性が得られる。これらの 2 つの結晶面は他の面に比べてホール移動度が非常に高く、N チャネル型 TFT に比べ性能の劣る P チャネル型 TFT の性能を特に向上でき、半導体回路においてもバランスがとり易いというメリットがある。

【0114】

なお、本発明の結晶質半導体膜の結晶粒（ドメイン）が上述のような特徴を有していることは、例えば、後方散乱電子回折像（Electron Back S

cattered diffraction Pattern:EBSP)で確認された。

【0115】

さらに、ある実施形態においては、第1の加熱処理の後、結晶質半導体膜にレーザー光を照射する工程を含む。結晶質半導体膜にレーザー光を照射した場合、結晶質部分と非晶質と部分の融点の相違から結晶粒界部や微小な残留非晶質領域（未結晶化領域）が集中的に処理される。触媒元素を導入し結晶化した結晶質ケイ素膜は、柱状結晶で形成されており、その内部は単結晶状態であるため、レーザー光の照射により結晶粒界部が処理されると基板全面にわたって単結晶状態に近い良質の結晶質ケイ素膜が得られ、結晶性が大きく改善される。この結果、TF Tのオン特性は大きく向上し、電流駆動能力により優れた半導体装置が実現できる。

【0116】

本発明におけるより具体的な半導体装置の製造方法は、絶縁性表面上に非晶質半導体膜を形成する第1の工程と、非晶質半導体膜にその結晶化を促進する第1の元素（触媒元素）を添加する第2の工程と、第1の加熱処理を行うことにより触媒元素の半導体化合物を核として非晶質半導体膜を結晶化し、結晶質半導体膜とする第3の工程と、結晶質半導体膜に存在する触媒元素の半導体化合物を選択的にエッチングする第4の工程（第1のゲッターリング工程）と、結晶質半導体膜の一部に触媒元素を引き寄せる効果をもつ第2の元素（ゲッターリング元素）を添加する第5の工程と、第2の加熱処理を行い結晶質半導体膜に残存する触媒元素をゲッターリング元素が添加された領域（ゲッターリング領域）へと移動させる第6の工程（第2のゲッターリング工程）と、ゲッターリング元素が添加された領域以外の領域の結晶質半導体膜を用いて後のTF Tのチャンネル領域を形成する第7の工程とを少なくとも有する。

【0117】

あるいは、絶縁性表面上に非晶質半導体膜を形成する第1の工程と、非晶質半導体膜にその結晶化を促進する第1の元素（触媒元素）を添加する第2の工程と、第1の加熱処理を行うことにより触媒元素の半導体化合物を核として非晶質半

導体膜を結晶化し、結晶質半導体膜とする第3の工程と、結晶質半導体膜に存在する触媒元素の半導体化合物を選択的にエッチングする第4の工程（第1のゲッタリング工程）と、結晶質半導体膜の上に触媒元素を引き寄せる効果をもつゲッタリング層を形成する第5の工程と、第2の加熱処理を行い結晶質半導体膜に残存する触媒元素をゲッタリング層へと移動させる第6の工程（第2のゲッタリング工程）と、結晶質半導体膜を用いて、後のTFTのチャネル領域を形成する第7の工程とを少なくとも有する。

【0118】

これらの製造方法により得られた半導体装置は、絶縁性表面上に形成された結晶質半導体膜を活性領域としたTFTで構成される半導体装置であって、TFTは、絶縁性表面上にチャネル領域、ソース領域およびド레인領域を含む活性領域（半導体層）、活性領域上のゲート絶縁膜およびゲート絶縁膜上のゲート電極を含み、活性領域には微小な径のあなが複数存在しており、また活性領域には非晶質半導体膜の結晶化を促進する触媒元素を含み、且つ活性領域において、実質的に全ての触媒元素が半導体膜中に固溶している状態で存在していることが好ましい。第1のゲッタリング工程により選択的に除去された触媒元素の半導体化合物の跡は、半導体膜において微小な径のあなとなって残り、最終的に半導体装置の活性領域に微小な径のあなが複数存在する。よって、本発明の半導体装置としては、構成を有する。

【0119】

ここで、非晶質半導体膜に触媒元素を添加する第2の工程は、触媒元素として、Ni、Co、Sn、Pb、Pd、Fe、Cuから選ばれた一種または複数種の元素を用いることが望ましい。これらから選ばれた一種または複数種類の元素であれば、微量で結晶化助長の効果がある。それらの中でも、特にNiを用いた場合に最も顕著な効果を得ることができる。触媒元素は単独では作用せず、ケイ素膜と結合しシリサイド化することで結晶成長に作用する。そのときの結晶構造が、非晶質ケイ素膜結晶化時に一種の鑄型のように作用し、非晶質ケイ素膜の結晶化を促す。Niは2つのSiとNiSi₂を形成する。NiSi₂は螢石型の結晶構造を示し、その結晶構造は、単結晶ケイ素のダイヤモンド構造と非常に類似し

たものである。しかも、 NiSi_2 はその格子定数が 5.406 \AA (0.5406 nm)であり、結晶シリコンのダイヤモンド構造での格子定数 5.430 \AA (0.5430 nm)に非常に近い値をもつ。よって、 NiSi_2 は、非晶質ケイ素膜を結晶化させるための鋳型としては最適なものであり、結晶質ケイ素膜を製造するための触媒元素としては、特にNiを用いるのが最も望ましい。

【0120】

このような触媒元素を用いて本発明の半導体装置を作製した結果として、本発明の半導体装置では、活性領域には非晶質半導体膜の結晶化を促進する触媒元素として、Ni、Co、Sn、Pb、Pd、Fe、Cuから選ばれた一種または複数種の元素が存在している。また、そのときの活性領域中の触媒元素濃度は、 $1 \times 10^{14} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ 程度の範囲内にまで低減されており、その結果としてゲッタリング領域あるいはゲッタリング層の触媒元素濃度が2～4桁上昇している。

【0121】

また、本発明による他の製造方法としては、絶縁性表面上に非晶質半導体膜を形成する第1の工程と、非晶質半導体膜にその結晶化を促進する第1の元素（触媒元素）を添加する第2の工程と、第1の加熱処理を行うことにより触媒元素の半導体化合物を核として非晶質半導体膜を結晶化し、結晶質半導体膜とする第3の工程と、結晶質半導体膜に存在する触媒元素の半導体化合物を選択的にエッチングする第4の工程（第1のゲッタリング工程）と、結晶質半導体膜をエッチングして後のTFTの活性領域（半導体層）を形成する第5の工程と、活性領域のソース領域およびド레인領域に触媒元素を引き寄せる効果をもつ第2の元素（ゲッタリング元素）を添加する第6の工程と、第2の加熱処理を行い活性領域中の触媒元素を後のチャネル領域からゲッタリング元素が添加されたソース領域およびド레인領域へと移動させる第7の工程（第2のゲッタリング工程）と、を少なくとも有する。この方法の場合、2つの製造方法に比べて、活性領域のソース・ド레인領域を利用してゲッタリングを行うため、第2のゲッタリング工程に対して、専用の余分な負荷工程を設ける必要が無く、プロセスの簡略化及び短縮化が行える。なぜなら、この方法では、第2の加熱処理を利用して、ゲッタリ

ングとソース・ドレイン領域の活性化を同時に行うことができるからである。

【0 1 2 2】

この方法により得られる半導体装置は、絶縁性表面上に形成された結晶質半導体膜を活性領域としたT F Tで構成される半導体装置であって、T F Tは、絶縁性表面上にチャンネル領域、ソース領域およびドレイン領域を含む活性領域（半導体層）、活性領域上のゲート絶縁膜およびゲート絶縁膜上のゲート電極を含み、活性領域には微小な径のあなが複数存在しており、活性領域には非晶質半導体膜の結晶化を促進する触媒元素を含み、活性領域の少なくともチャンネル領域においては実質的に全ての触媒元素が半導体膜中に固溶している状態で存在している。

【0 1 2 3】

さらに他の実施形態の半導体装置は、絶縁性表面上に形成された結晶質半導体膜を活性領域としたT F Tで構成される半導体装置であって、T F Tは、絶縁性表面上にチャンネル領域、ソース領域およびドレイン領域を含む活性領域（半導体層）、活性領域上のゲート絶縁膜およびゲート絶縁膜上のゲート電極を含み、活性領域には微小な径のあなが複数存在しており、活性領域には非晶質半導体膜の結晶化を促進する触媒元素を含み、活性領域の少なくともチャンネル領域とソース領域およびドレイン領域との接合部近傍においては触媒元素が半導体膜中に固溶している状態で存在している。

【0 1 2 4】

さらに他の実施形態の半導体装置は、絶縁性表面上に形成された結晶質半導体膜を活性領域としたT F Tで構成される半導体装置であって、T F Tは、絶縁性表面上にチャンネル領域、ソース領域およびドレイン領域を含む活性領域（半導体層）、活性領域上のゲート絶縁膜およびゲート絶縁膜上のゲート電極を含み、活性領域には微小な径のあなが複数存在しており、活性領域には非晶質半導体膜の結晶化を促進する触媒元素を含み、活性領域のソース領域およびドレイン領域は、チャンネル領域よりも触媒元素が高濃度で存在している。

【0 1 2 5】

また、さらに他の実施形態の半導体装置は、絶縁性表面上に形成された結晶質半導体膜を活性領域としたT F Tで構成される半導体装置であって、T F Tは、

絶縁性表面上にチャネル領域、ソース領域およびドレイン領域を含む活性領域（半導体層）、活性領域上のゲート絶縁膜およびゲート絶縁膜上のゲート電極を含み、活性領域には微小な径のあなが複数存在しており、活性領域には非晶質半導体膜の結晶化を促進する触媒元素を含み、活性領域のソース領域およびドレイン領域は、チャネル領域とソース領域およびドレイン領域との接合部近傍よりも触媒元素が高濃度で存在している。

【0126】

すなわち、ソース・ドレイン領域にゲッタリング元素を添加し、第2の加熱処理により活性領域中の触媒元素を後のチャネル領域からソース・ドレイン領域へと移動させる方法を用いた場合、得られる半導体装置では、その活性領域のソース領域およびドレイン領域には、触媒元素が $1 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で存在している。これに対して、このときのチャネル領域中あるいはチャネル領域とソース領域およびドレイン領域との接合部近傍の触媒元素濃度は、 $1 \times 10^{14} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ 程度の範囲内にまで低減されている。ここで、活性領域のチャネル領域とソース領域およびドレイン領域との接合部近傍とは、チャネル領域とソース領域およびドレイン領域との接合境界よりそれぞれ $2 \mu\text{m}$ の範囲内の領域であることが好ましい。これは、接合部での電界集中の影響が、接合部より $2 \mu\text{m}$ の範囲内では生じているからである。

【0127】

また、さらに他の実施形態の半導体装置は、活性領域のソース領域およびドレイン領域には、n型を付与する周期表第5族Bに属する不純物元素が含まれている。これは、周期表第5族Bに属する不純物元素がゲッタリング元素として機能するからであるが、これについての詳細は後述する。

【0128】

本発明による他の実施形態の製造方法は、絶縁性表面上に非晶質半導体膜を形成する第1の工程と、非晶質半導体膜にその結晶化を促進する第1の元素（触媒元素）を添加する第2の工程と、第1の加熱処理を行うことにより触媒元素の半導体化合物を核として非晶質半導体膜を結晶化し、結晶質半導体膜とする第3の工程と、結晶質半導体膜に存在する触媒元素の半導体化合物を選択的にエッチン

グする第4の工程（第1のゲッタリング工程）と、結晶質半導体膜をエッチングして後のTFTの活性領域（半導体層）を形成する第5の工程と、活性領域内のチャンネル領域及びソース領域、ドレイン領域以外の領域に触媒元素を引き寄せる効果をもつ第2の元素（ゲッタリング元素）を添加しゲッタリング領域を形成する第6の工程と、第2の加熱処理を行い活性領域中の触媒元素をチャンネル領域及びソース領域、ドレイン領域からゲッタリング領域へと移動させる第7の工程（第2のゲッタリング工程）と、を少なくとも有する。

【0129】

ここでさらに、第6の工程におけるゲッタリング領域の形成は、ゲッタリング領域がソース領域および／あるいはドレイン領域と隣接し、活性領域において電子または正孔が移動する領域以外で行われ、この工程の後、ソース領域およびドレイン領域において各TFTを電氣的に接続する配線を形成する工程を含み、上記の配線形成工程は配線がソース領域およびドレイン領域の少なくとも一部の領域を含むようにして接続されるよう行われる。この方法でも、第2の加熱処理を利用して、ゲッタリングとソース・ドレイン領域の活性化を同時に行うことができ、第2のゲッタリング工程に対して、専用の余分な負荷工程を設ける必要が無く、プロセスの簡略化及び短縮化が行える。さらに、活性領域内にソース・ドレイン領域とは別に専用のゲッタリング領域を設けるため、ソース・ドレイン領域をそのままゲッタリング領域と兼用する前述の方法と比べて、ゲッタリング領域を最適化することができる。なぜなら、ソース・ドレイン領域をゲッタリング領域と兼用する前述の方法では、ソース・ドレイン領域としての機能（特に低抵抗）を保つ必要があり、これによる制約が大きいからである。但し、ゲッタリング領域の配置は、前述のように少なくとも活性領域においてキャリア（電子または正孔）の移動を妨げないように配置されることが好ましい。

【0130】

この製造方法により得られる半導体装置は、絶縁性表面上に形成された結晶質半導体膜を活性領域としたTFTで構成される半導体装置であって、TFTは、絶縁性表面上にチャンネル領域、ソース領域およびドレイン領域、ゲッタリング領域を含む活性領域（半導体層）、活性領域上のゲート絶縁膜およびゲート絶縁膜

上のゲート電極を含み、活性領域には微小な径のあなが複数存在しており、活性領域には非晶質半導体膜の結晶化を促進する触媒元素を含み、活性領域の少なくともチャネル領域においては実質的に全ての触媒元素が半導体膜中に固溶している状態で存在していることが好ましい。

【0131】

あるいは、絶縁性表面上に形成された結晶質半導体膜を活性領域としたTF Tで構成される半導体装置であって、TF Tは、絶縁性表面上にチャネル領域、ソース領域およびド레인領域、ゲッタリング領域を含む活性領域（半導体層）、活性領域上のゲート絶縁膜およびゲート絶縁膜上のゲート電極を含み、活性領域には微小な径のあなが複数存在しており、活性領域には非晶質半導体膜の結晶化を促進する触媒元素を含み、活性領域の少なくともチャネル領域とソース領域およびド레인領域との接合部近傍においては実質的に全ての触媒元素が半導体膜中に固溶している状態で存在する構成としてもよい。

【0132】

あるいは、絶縁性表面上に形成された結晶質半導体膜を活性領域としたTF Tで構成される半導体装置であって、TF Tは、絶縁性表面上にチャネル領域、ソース領域およびド레인領域、ゲッタリング領域を含む活性領域（半導体層）、活性領域上のゲート絶縁膜およびゲート絶縁膜上のゲート電極を含み、活性領域には微小な径のあなが複数存在しており、活性領域には非晶質半導体膜の結晶化を促進する触媒元素を含み、活性領域の少なくともチャネル領域とソース領域およびド레인領域においては実質的に全ての触媒元素が半導体膜中に固溶している状態で存在する構成としてもよい。

【0133】

また、別の視点から、ゲッタリング領域との位置関係に注目して見ると、本発明のある実施形態の半導体装置は、絶縁性表面上に形成された結晶質半導体膜を活性領域としたTF Tで構成される半導体装置であって、TF Tは、絶縁性表面上にチャネル領域、ソース領域およびド레인領域、ゲッタリング領域を含む活性領域（半導体層）、活性領域上のゲート絶縁膜およびゲート絶縁膜上のゲート電極を含み、活性領域には微小な径のあなが複数存在しており、活性領域には非

晶質半導体膜の結晶化を促進する触媒元素を含み、活性領域のゲッタリング領域はチャンネル領域よりも触媒元素が高濃度で存在する構成としてもよい。

【0 1 3 4】

あるいは、絶縁性表面上に形成された結晶質半導体膜を活性領域とした T F T で構成される半導体装置であって、T F T は、絶縁性表面上にチャンネル領域、ソース領域およびドレイン領域、ゲッタリング領域を含む活性領域（半導体層）、活性領域上のゲート絶縁膜およびゲート絶縁膜上のゲート電極を含み、活性領域には微小な径のあなが複数存在しており、活性領域には非晶質半導体膜の結晶化を促進する触媒元素を含み、活性領域のゲッタリング領域はチャンネル領域とソース領域およびドレイン領域との接合部近傍よりも触媒元素が高濃度で存在する構成としてもよい。

【0 1 3 5】

あるいは、絶縁性表面上に形成された結晶質半導体膜を活性領域とした T F T で構成される半導体装置であって、T F T は、絶縁性表面上にチャンネル領域、ソース領域およびドレイン領域、ゲッタリング領域を含む活性領域（半導体層）、活性領域上のゲート絶縁膜およびゲート絶縁膜上のゲート電極を含み、活性領域には微小な径のあなが複数存在しており、活性領域には非晶質半導体膜の結晶化を促進する触媒元素を含み、活性領域のゲッタリング領域はチャンネル領域とソース領域およびドレイン領域よりも触媒元素が高濃度で存在する構成としてもよい。

【0 1 3 6】

さらに、これらの半導体装置においては、活性領域におけるゲッタリング領域は、ソース領域および／あるいはドレイン領域と隣接し、活性領域において電子または正孔が移動する領域以外に形成されており、ソース領域およびドレイン領域において各 T F T を電氣的に接続する配線が、ソース領域およびドレイン領域の少なくとも一部の領域を含むようにして接続される構成としてもよい。すなわち、活性領域内にソース・ドレイン領域とは別に専用のゲッタリング領域が設けられ、その領域は T F T 完成後も維持されている。これは、製造方法の結果として得られる構造というだけでなく、素子内に常にゲッタリング領域を設けておく

こと自体が優位性をもつ。すなわち、素子内にゲッターリング領域を有しない場合は、TFTの駆動で少なからず熱が発生し、まれに残留している固溶度以下の濃度の触媒元素から新たに半導体化合物の析出を生じる場合があるからである。この点で、半導体装置完成後も、活性領域内に強力なゲッターリング領域を有する構造とすることは、TFT駆動時にもゲッターリング能力を有し、このような析出を生じさせにくい。さらに、そのゲッターリング領域は、専用として最適化できるため、強力なゲッターリング能力を持たせることができる。その結果、TFTの信頼性をより高めることができる。但し、ゲッターリング領域は抵抗等の特性を無視してゲッターリングのために最適化するため、ゲッターリング領域の配置は、前述のように少なくとも活性領域においてキャリア（電子または正孔）の移動を妨げないように配置されることが望ましい。

【0137】

このように、ゲッターリング領域にゲッターリング元素を添加し、第2の加熱処理により活性領域中の触媒元素をゲッターリング領域へと移動させる方法を用いた場合、得られる半導体装置では、その活性領域のゲッターリング領域には、触媒元素が $1 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で存在している。これに対して、このときのチャネル領域中、あるいはチャネル領域とソース・ドレイン領域との接合部近傍、あるいはチャネル領域とソース・ドレイン領域全域の触媒元素濃度は、 $1 \times 10^{14} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ 程度の範囲内にまで低減されている。

【0138】

また、活性領域のゲッターリング領域は、活性領域内の他の領域に比べて非晶質成分をより多く含むことが望ましい。この非晶質成分の含有度合いは、各領域に対して顕微レーザーラマン分光測定を行うことで判別でき、ゲッターリング領域は、活性領域内の他の領域に比べて、このラマン分光スペクトルにおける非晶質SiのTOフォノンピーク P_a と結晶SiのTOフォノンピーク P_c との比 P_a/P_c が大きいことによって特徴付けられる。

【0139】

ゲッターリング領域のメカニズムとしては、その領域での触媒元素に対する固溶

度を他の領域より上げて、そこへ触媒元素を移動させる作用（第1のゲッターリング作用）と、触媒元素をトラップするような欠陥あるいは局所的な偏析サイトを形成し、そこに触媒元素を移動させトラップさせる作用（第2のゲッターリング作用）とがある。すなわち、活性領域のゲッターリング領域を、活性領域内の他の領域に比べて非晶質成分をより多く含むよう構成することで、第2のゲッターリング作用の効果を引き出すことができる。この状態は、TF T完成後も維持することがポイントで、非晶質状態となっているゲッターリング領域を工程途中で結晶化してしまうと、その後のゲッターリング作用は小さくなり、加熱処理で一旦移動させた触媒元素が、その後の工程で逆流することがある。また、製造工程内でこのような触媒元素の逆流がないようにしたとしても、TF Tの駆動で少なからず熱が発生し、一旦ゲッターリング領域に移動させた触媒元素が、TF T駆動時にチャネル領域へと逆流し、信頼性において問題が生じる場合が見られる。したがって、TF Tの活性領域においてゲッターリング領域を設ける場合には、その領域はTF T完成時においても非晶質状態として維持し、常にゲッターリング工程時と同レベルのゲッターリング能力を保つようにしておくことが望ましい。

【0140】

また、このような半導体装置構成及びその製造方法では、TF T活性領域中にソース領域およびドレイン領域とは別にゲッターリング領域を有し、そのゲッターリング領域はTF Tのキャリア（電子または正孔）の移動を妨げないように、それらが移動する領域以外に形成されているため、ソース・ドレイン領域はゲッターリングに左右されず、分離した工程としてn型不純物やp型不純物の添加量を最適に設定することができる。すなわち、ゲッターリング領域が非晶質成分を含んだまま構成しても、それに伴う高抵抗の影響をTF Tとしては全く受けない。その結果、プロセスマージンが拡がると共に、ドーピング装置のスループットを大きく向上することができ、さらにはソース・ドレイン領域を低抵抗化でき、TF Tのオン特性を向上できる。

【0141】

また、活性領域中のゲッターリング領域には、n型を付与する周期表第5族Bに属する不純物元素と、p型を付与する周期表第3族Bに属する不純物元素と、が

含まれている構成としてもよい。あるいは、活性領域のゲッタリング領域には、Ar、Kr、Xeから選ばれた一種または複数種類の希ガス元素が含まれている構成としてもよい。これは、これらの元素がゲッタリング元素として効果的に機能するからであるが、これについての詳細は後述する。

【0142】

また、以上述べた半導体装置構成の内、活性領域のソース・ドレイン領域にゲッタリング元素を添加し、その領域に触媒元素を熱的に移動させる方法と、活性領域中に専用のゲッタリング領域を形成し、その領域に触媒元素を熱的に移動させる方法では、ソース・ドレイン領域の活性化を兼ねて、ゲッタリングのための第2の加熱処理が行われる。すなわち、ゲート電極が形成された後に第2の加熱処理が行われるため、ゲート電極の材料としては、耐熱性の高い高融点金属であるW、Ta、Ti、Moから選ばれた元素、または元素の合金材料の一種または複数種から選択されることが望ましい。

【0143】

また、本発明の半導体膜において、活性領域に存在する複数の微小な径のあなは、その大きさ（直径）が $0.05\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下であることがこのましい。このような値のときの本発明に効果が得られていると判断できる。この値より小さいと、第1のゲッタリング工程が不十分で、第1のゲッタリング工程で除去されるべき触媒元素の半導体化合物が十分に除去されていない。すなわち、図18のグラフでNi濃度が飽和する手前の状態である。また、逆にこの範囲より大きいと、フッ化水素酸の時間が過剰であり、下層膜のエッチングダメージが深刻であると判断できる。このときは、信頼性や上層のゲート絶縁膜でのリークが問題となる。このときの微小な径のあなの一例を図19に示してある。図19は、前述のように走査型電子顕微鏡（SEM）で見たときの画像写真である。

【0144】

また、本発明の半導体膜においては、活性領域のチャネル領域における平均表面粗さRaは、 4nm ～ 9nm の範囲内であることが好ましい。図19のSEM写真からもわかるが、ケイ素膜表面に凹凸が生じている。これは、レーザー光を照射し、半導体膜を溶融固化し再結晶化したときに、その体積膨張率の違いから

境界部に生じるもので、一般にリッジと呼ばれている。本発明において、触媒元素を添加後、加熱処理により形成した結晶質半導体膜にレーザー光を照射し、その結晶性をさらに高める方法が有効であることは前述したが、その結果として、このようなリッジが見られる。このときの表面ラフネスの大きさは、上記の下限值未満であればレーザーパワーが不十分で十分結晶性を改善できておらず、また上記の上限値を超えると過剰パワーであり、局所的に結晶性が悪化しばらつきが大きくなると共に信頼性（ゲート絶縁膜耐圧）への影響が懸念される。

【0145】

次に、以上述べた本発明の製造方法においては、第1の加熱処理の後に結晶質半導体膜にレーザー光を照射する工程を含み、結晶質半導体膜に存在する触媒元素の半導体化合物を選択的にエッチングする第4の工程（第1のゲッタリング工程）は、レーザー光照射工程前の基板表面の洗浄工程と兼ねて行われることが望ましい。レーザー光照射工程を追加する理由は、前述のように結晶質半導体膜の結晶性をさらに高めるためであるが、この工程前の洗浄工程と兼ねて、半導体膜表面をフッ化水素酸で処理することで、第1のゲッタリング工程としての付加を無くすことができ、プロセスの短縮化と簡略化が図れる。

【0146】

あるいは、結晶質半導体膜上にゲート絶縁膜を形成する工程を含み、結晶質半導体膜に存在する触媒元素の半導体化合物を選択的にエッチングする第4の工程（第1のゲッタリング工程）は、絶縁膜（典型的にはゲート絶縁膜）形成工程前の基板表面の洗浄工程と兼ねて行われることが望ましい。これもゲート絶縁膜形成前には、チャネル界面となる半導体膜表面の自然酸化膜を除去する必要がある、このときのフッ化水素酸での洗浄工程を第1のゲッタリング工程と兼ねて行うことにより、プロセスの短縮化と簡略化が図れる。但し、レーザー照射前の洗浄工程と兼ねる場合にしても、ゲート絶縁膜の形成前の洗浄工程と兼ねる場合にしても、第1のゲッタリング工程としての処理条件が必要である。自然酸化膜を除去することだけが目的の従来の洗浄工程とは異なり、ゲッタリングを考えて、処理時間を延ばす必要がある。具体的には、図18でNi残留濃度が飽和するような条件が望ましい。

【0147】

本発明のある実施形態の製造方法において、結晶質半導体膜の一部に触媒元素を引き寄せる効果をもつ第2の元素（ゲッタリング元素）を添加する第5の工程は、イオンドーピング法により行われ、ゲッタリング元素が添加された領域は、他の領域に比べ非晶質化が進行する。すなわち、ゲッタリング領域を非晶質化させることで、触媒元素をトラップするような結晶欠陥あるいは局所的な偏析サイトをわざと形成し、前述の第2のゲッタリング作用を利用する訳である。この製造方法では、ゲッタリング領域は活性領域外に形成するので、第2のゲッタリング工程後、ゲッタリング領域は活性領域には残らず、そこが非晶質化していても問題とはならない。

【0148】

また、活性領域のソース・ドレイン領域にゲッタリング元素を添加し、そこへ触媒元素を移動させる方法では、活性領域のソース領域及びドレイン領域に触媒元素を引き寄せる効果をもつ第2の元素（ゲッタリング元素）を添加する第6の工程は、イオンドーピング法により行われ、ゲッタリング元素が添加されたソースおよびドレイン領域は、チャンネル領域に比べ非晶質化が進行する。この場合も、ソース・ドレイン領域の非晶質化を進行させることで、第2のゲッタリング作用を引き出すことを目的としている。但し、ソース・ドレイン領域は、TFTとして機能するため、最終的には低抵抗化していなくてはならない。よって、一旦、非晶質化を進行させた後、ゲッタリングのための第2の加熱処理時間中に、結晶性のある程度回復させることが好ましい。

【0149】

また、ある実施形態において、活性領域内にソース・ドレイン領域とは別に専用のゲッタリング領域を形成する場合、活性領域内のチャンネル領域及びソース領域、ドレイン領域以外の領域に触媒元素を引き寄せる効果をもつ第2の元素（ゲッタリング元素）を添加しゲッタリング領域を形成する第6の工程は、イオンドーピング法により行われ、ゲッタリング元素が添加されたゲッタリング領域は、チャンネル領域及びソース領域、ドレイン領域に比べ非晶質化が進行する。この場合も、ゲッタリング領域非晶質化を進行させることで、第2のゲッタリング作用

を引き出すことを目的としているが、ゲッターリング領域は、TFT完成後も非晶質状態で残っていてもよく、プロセスの自由度が高い。半導体装置としては、前述のように、むしろ、活性領域内のゲッターリング領域に非晶質成分が多い状態で存在している方が望ましい。

【0150】

上述の製造方法で用いるゲッターリング元素としては、まず第1に、P、As、Sbから選ばれた一種または複数種類の周期表第5族Bに属する元素を用いることが好ましい。これらの周期表第5族Bに属する元素をケイ素膜に導入した場合には、その領域での触媒元素に対する固溶度が上がり、すなわち前述の第1のゲッターリング作用を利用してゲッターリングの移動が行われる。これらの元素の中でも特にその効果が高いのはリンである。また、これらの元素であれば、Nチャネル型TFTにおいては、ソース・ドレイン領域として、そのまま用いることができる。

【0151】

さらに、ゲッターリング元素として、P、As、Sbから選ばれた一種または複数種類の周期表第5族Bに属する元素に加えて、B、Alから選ばれた一種または複数種類の周期表第3族Bに属する元素とを共に用いることがより望ましい。5族B元素だけでもゲッターリング能力を有するが、これに加えて3族B元素も導入した場合、より大きなゲッターリング効果が得られることがわかっている。ゲッターリング領域のケイ素膜にリンだけでなく、ホウ素をドーピングすると、ゲッターリングメカニズムが変わる。リンのみの場合には、ノンドーピングの非ゲッターリング領域との触媒元素の固溶度の差を利用した拡散移動型ゲッターリング（前述の第1のゲッターリング作用）であるが、加えてホウ素を含ませることで、逆にゲッターリング領域で触媒元素が析出し易くなり、欠陥あるいは偏析サイトへのゲッターリング（前述の第2のゲッターリング作用）が優勢になり、その効果は相乗的に高められる。但し、N型を付与する元素に対してP型を付与する元素を重ねてドーピングするため、これらの元素が導入されたゲッターリング領域は高抵抗になり易く、ソース・ドレイン領域以外に専用のゲッターリング領域を設ける方法においてより効果的である。このときのゲッターリング領域に含まれる不純物元素の濃度としては、周期

表第5族Bに属する元素は $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度、周期表第3族Bに属する元素は $1.5 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ の濃度の範囲であることが望ましく、この範囲内の濃度であれば、十分なゲッターリング効率が得られる。

【0152】

本発明の製造方法に用いられるその他のゲッターリング元素としては、Ar、Kr、Xe から選ばれた一種または複数種類の希ガス元素が挙げられる。ゲッターリング領域にこれらの希ガス元素が存在すると、そこで大きな格子間歪みが生じ、欠陥・偏析サイトによる第2のゲッターリング作用が非常に強力に働く。また、これらの希ガス元素の中で、最も効果が高いのはArであり、Arを用いた時に、最も大きな効果を得ることができる。このときにゲッターリング領域に含まれる希ガス元素の濃度としては、 $1 \times 10^{19} \sim 3 \times 10^{21} \text{ atoms} / \text{cm}^3$ の範囲内にあることが好ましい。この範囲内の濃度であれば、十分なゲッターリング効率が得られる。

【0153】

本発明のある実施形態による半導体膜の製造方法として、結晶質半導体膜の上に触媒元素を引き寄せる効果をもつゲッターリング層を形成し、第2の加熱処理を行い、結晶質半導体膜に残存する触媒元素をゲッターリング層へと移動させる方法がある。この方法においては、第2の加熱処理を行い、結晶質半導体膜に残存する触媒元素をゲッターリング層へと移動させる第6の工程（第2のゲッターリング工程）の後、ゲッターリング層を除去することが好ましい。このようにすることで、他の方法と異なり、基板全面に触媒元素が集められた領域（ゲッターリング領域）の無い一面の結晶質半導体膜が得られ、その後の工程の自由度や設計レイアウトの自由度が高められる。このようにして製造された本発明の半導体膜は、絶縁性表面上に形成された半導体膜であって、結晶質を有し、半導体の結晶化を促進する触媒元素を含み、複数の微細なあなを有する。上述したように半導体膜の実質的に全領域に亘って触媒元素の濃度を低下させたもよいが、これに限られず、後に活性領域（少なくともチャネル領域）を形成する領域に対応した複数の領域の触媒元素の濃度を低下させてもよい。

【0154】

ここで、ゲッタリング層としては、P、As、Sbから選ばれた一種または複数種類の周期表第5族Bに属する元素を含有する非晶質半導体膜を用いることが望ましい。あるいは、ゲッタリング層として、P、As、Sbから選ばれた一種または複数種類の周期表第5族Bに属する元素と、B、Alから選ばれた一種または複数種類の周期表第3族Bに属する元素とを共に含有する非晶質半導体膜を用いることが望ましい。あるいは、ゲッタリング層として、Ar、Kr、Xeから選ばれた一種または複数種類の希ガス元素を含有する非晶質半導体膜を用いることが望ましい。非晶質状態のケイ素膜を用いる理由は、前述のように、結晶欠陥・偏析サイトを利用した第2のゲッタリング作用を引き出せるからである。また、元素種を含有させる理由は、前述のように、元素種がゲッタリング元素として機能するからである。もちろん、半導体膜中に形成したゲッタリング領域を除去しても良い。

【0155】

(第1実施形態)

本発明における第1の実施形態を図1(A)～(I)を用いて説明する。ここでは、nチャネル型TFTガラス基板上に作製する方法について説明する。本実施例のTFTはアクティブマトリクス型の液晶表示装置や有機EL表示装置のドライバ回路や画素部分は勿論、薄膜集積回路を構成する素子としても利用することができる。図1は、ここで説明するnチャネル型TFTの作製工程を示す断面図であり、(A)→(I)の順にしたがって作製工程が順次進行する。

【0156】

まず、図1(A)に示すように、ガラス基板101上に例えばプラズマCVD法によって厚さ300～500nm程度の酸化ケイ素からなる下地膜103を形成する。この酸化ケイ素膜は、ガラス基板からの不純物の拡散を防ぐために設けられる。次に、厚さ20～80nm、例えば40nmの真性(I型)の非晶質ケイ素膜(a-Si膜)104を成膜する。本実施例では、平行平板式のプラズマCVD装置を用い、加熱温度を250～400℃、例えば350℃とし、SiH₄ガスとH₂ガスを材料ガスとして、a-Si膜104の成膜を行った。

【0157】

次に、a-Si膜104表面上にニッケル105の微量添加を行う。ここで使用可能な触媒元素は、ニッケル(Ni)、コバルト(Co)、スズ(Sn)、鉛(Pb)、パラジウム(Pd)、鉄(Fe)、銅(Cu)、から選ばれた一種または複数種の元素が好適である。それ以外にも、ルテニウム(Ru)、ロジウム(Rh)、オスミウム(Os)、イリジウム(Ir)、白金(Pt)、金(Au)等が利用できる。ニッケル105の微量添加は、ニッケルを溶かした溶液をa-Si104上に保持し、スピナーにより溶液を基板101上に均一に延ばし乾燥させることにより行った。本実施形態では、溶質としては酢酸ニッケルを用い、溶媒としては水を用い、溶液中のニッケル濃度は10ppmとなるようにした。この状態が図1(A)の状態に相当する。このとき、添加する触媒元素の量は極微量であり、a-Si膜104表面上の触媒元素濃度は、全反射蛍光X線分析(TRXRF)法により、管理される。本実施形態では、 5×10^{12} atoms/cm²程度であった。

【0158】

次に、これを不活性雰囲気下、例えば窒素雰囲気にて第1の加熱処理を行う。このときのアニール条件としては、530～600℃で30分～8時間のアニール処理を行う。本実施形態では、一例として、550℃で4時間の加熱処理を行った。この加熱処理において、a-Si膜表面に添加されたニッケル105がa-Si膜104中に拡散すると共に、シリサイド化が起こり、それを核としてa-Si膜104の結晶化が進行する。その結果、a-Si膜104は結晶化され、結晶質ケイ素膜104aとなる。なお、ここでは炉を用いた加熱処理により結晶化を行ったが、ランプ等を熱源として用いるRTA(Rapid Thermal Annealing)装置で結晶化を行ってもよい。

【0159】

次に、図1(B)に示すように、結晶質ケイ素膜104a表面をフッ化水素を含む酸106に晒すことで、第1のゲッターリング工程を行う。本実施形態では、1%のフッ化水素酸溶液を用い、その溶液中に基板全体を浸すディッピング法により、上記の工程を行った。このような濃度のフッ化水素酸の場合、処理時間は

60秒から180秒程度であることが望ましく、本実施形態では120秒で処理を行った。またフッ化水素酸にディッピングした後は、純水で置換・洗浄し、スピン乾燥を行った。上記の工程により、フッ化水素酸106により、結晶質ケイ素膜中で局在しているNiシリサイド（特に大きな塊のものや NiSi_2 組成のもの）が選択的にエッチング除去され、結晶質ケイ素膜104aには、これらのシリサイドがエッチング除去された跡として、微小なあな107が生じる。このときのあなの直径としては $0.1\mu\text{m}\sim 0.8\mu\text{m}$ 程度であった。

【0160】

続いて、図1（C）に示すように、加熱処理により得られた結晶質ケイ素膜104aにレーザー光108を照射することで、この結晶質ケイ素膜104aをさらに再結晶化し、結晶性を向上させた結晶質ケイ素膜104bを形成する。このレーザー照射工程に際して、図1（B）に示すフッ化水素酸106によるディッピング処理は、その前洗浄工程を兼ねている。このときのレーザー光としては、XeClエキシマレーザー（波長308nm、パルス幅40ns）やKrFエキシマレーザー（波長248nm）が適用できる。このときのレーザー光のビームサイズは、基板101表面で長尺形状となるように成型されており、長尺方向に対して垂直方向に順次走査を行うことで、基板全面の再結晶化を行う。このとき、ビームの一部が重なるようにして走査することで、結晶質ケイ素膜104aの任意の一点において、複数回のレーザー照射が行われ、均一性の向上が図れる。このようにして、固相結晶化により得られた結晶質ケイ素膜104aは、レーザー照射による熔融固化過程により結晶欠陥が低減され、より高品質な結晶質ケイ素膜104bとなる。

【0161】

次に、図1（D）に示すように、結晶質ケイ素膜104b上にフォトリソによるマスク109を形成する。このときのマスク109の配置としては、結晶質ケイ素膜104bの一部がマスク109により島状にマスクされた状態となっており、このマスクに覆われている領域の結晶質ケイ素膜が後のTFETの活性領域（半導体層）を構成するようになっている。

【0162】

次に、この状態で、図1 (D) に示すように、基板101上方よりリン110を全面にイオンドーピングする。このときのリン110のドーピング条件としては、ドーピングガスとしてはフォスフィン (PH_3) を用い、加速電圧を例えば $5 \sim 15 \text{ kV}$ とし、ドーズ量としては $5 \times 10^{15} \sim 2 \times 10^{16} \text{ cm}^{-2}$ 、例えば $1 \times 10^{16} \text{ cm}^{-2}$ とした。この工程により、露呈している領域の結晶質ケイ素膜104bにリン110が注入され、リンドーピングされた領域111が形成される。この領域111は、イオンドーピング工程により幾分か結晶が破壊され、非晶質化した領域となっている。マスク109によって覆われている領域の結晶質ケイ素膜104bには、リン110はドーピングされず、勿論結晶状態も破壊されない。

【0163】

次に、フォトレジストによるマスク109をアッシング（酸素プラズマ処理）と剥離液により除去した後、不活性雰囲気下、例えば窒素雰囲気にて第2の加熱処理を行う。本実施形態では、窒素雰囲気中にて 500°C から 600°C で30分から8時間、例えば 550°C で4時間の熱処理を行った。この際、リンドーピングされ非晶質化した領域111がゲッターリング領域として作用し、第2のゲッターリング工程が行われる。領域111ではニッケルをトラップするような欠陥や偏析サイト等が形成されており、さらにリンドーピングによりニッケルに対するケイ素膜の固溶度が大きく上昇している。これらの力を利用して、図1 (E) に示すように、マスク109に覆われていた領域の結晶質ケイ素膜中に残存しているニッケル105を、矢印114に示すような方向にゲッターリング領域111へと移動させる。

【0164】

この第2のゲッターリング工程により、まず、結晶質ケイ素膜中に固溶して存在しているニッケルがゲッターリング領域111に移動する。その結果、ケイ素膜中のニッケル濃度が下がり、膜中に残存していた NiSi サイド（特に小さな塊のものや NiSi や Ni_2Si 等の低級組成のもの）が、ケイ素膜中に溶け出す。それらも固溶状態となってゲッターリング領域111に移動していき、最終的に、第1のゲッターリング工程で除去できなかった小さな塊の NiSi_2 や NiSi や

Ni₂Si等の低級組成のシリサイドも完全に除去され、固溶状態のニッケルの濃度も低減される。その結果、マスク109に覆われていた領域の結晶質ケイ素膜104bにおけるニッケル濃度は、二次イオン質量分析法(SIMS)により測定したところ 5×10^{15} atoms/cm³程度にまで低減されており、ほぼ測定下限レベルであった。また、この領域で残留しているニッケルは、勿論シリサイド状態では無く、格子間ニッケルとして固溶した状態で存在している。

【0165】

その後、結晶質ケイ素膜104bの不要な部分を除去して素子間分離を行う。上記の工程により、図1(F)に示すように、後にTFTの活性領域(ソース/ドレイン領域、チャネル領域)となる島状の結晶質ケイ素膜115が形成される。

【0166】

次に、上記の活性領域となる結晶質ケイ素膜115を覆うように厚さ20~150nm、ここでは100nmの酸化ケイ素膜をゲート絶縁膜116として成膜する。酸化ケイ素膜の形成には、ここではTEOS(Tetra Ethoxy Ortho Silicate)を原料とし、酸素とともに基板温度150~600℃、好ましくは300~450℃で、RFプラズマCVD法で分解・堆積した。あるいはTEOSを原料としてオゾンガスとともに減圧CVD法もしくは常圧CVD法によって、基板温度を350~600℃、好ましくは400~550℃として形成してもよい。

【0167】

引き続いて、スパッタリング法によって、厚さ400~800nm、例えば600nmのアルミニウムを成膜する。次に、アルミニウム膜をパターニングして、ゲート電極117を形成する。さらに、このアルミニウムの電極の表面を陽極酸化して、表面に酸化物層118を形成する。この状態が図1(G)に相当する。ここで、本実施形態が液晶表示装置等の画素TFTとして適用される場合は、ゲート電極117は、平面的にはゲートバスラインを同時構成している。陽極酸化は、酒石酸が1~5%含まれたエチレングリコール溶液中で行い、最初一定電流で220Vまで電圧を上げ、その状態で1時間保持して終了させる。得られた

酸化物層 118 の厚さは 300 nm である。なお、この酸化物層 118 は、後のイオンドーピング工程において、オフセットゲート領域を形成する厚さとなるので、オフセットゲート領域の長さを上記陽極酸化工程で決めることができる。

【0168】

次に、図 1 (H) に示すように、イオンドーピング法によって、ゲート電極 117 とその周囲の酸化物層 118 をマスクとして活性領域に N 型不純物 (リン) 123 を注入する。ドーピングガスとして、フォスフィン (PH_3) を用い、加速電圧を 60 ~ 90 kV、例えば 80 kV、ドーズ量を $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $2 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、不純物が注入された領域 124 は後に TFT のソース/ドレイン領域となり、ゲート電極 117 およびその周囲の酸化層 118 にマスクされ不純物が注入されない領域 120 は、後に TFT のチャネル領域となる。その後、基板上方よりレーザー光の照射によってアニールを行い、イオン注入した N 型不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した部分の結晶性を改善させる。この際、使用するレーザーとしては XeCl エキシマレーザー (波長 308 nm、パルス幅 40 nsec) を用い、エネルギー密度 150 ~ 400 mJ/cm²、好ましくは 200 ~ 250 mJ/cm² で照射を行った。このとき、チャネル領域 120 には、上層のゲート電極 117 がマスクとなってレーザー光を遮るため、レーザー光は照射されない。こうして形成された N 型不純物 (リン) 領域 124 のシート抵抗は、200 ~ 500 Ω/\square であった。

【0169】

続いて、図 1 (I) に示すように、厚さ 600 nm 程度の酸化ケイ素膜あるいは窒化ケイ素膜を層間絶縁膜 132 として形成する。酸化ケイ素膜を用いる場合には、TEOS を原料として、これと酸素とのプラズマ CVD 法、もしくはオゾンとの減圧 CVD 法あるいは常圧 CVD 法によって形成すれば、段差被覆性に優れた良好な層間絶縁膜が得られる。また、 SiH_4 と NH_3 を原料ガスとしてプラズマ CVD 法で成膜された窒化ケイ素膜を用いれば、活性領域/ゲート絶縁膜の界面へ水素原子を供給し、TFT 特性を劣化させる不対結合手を低減する効果がある。

【0170】

次に、層間絶縁膜 132 にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によって TFT の電極・配線 133 を形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設けられる。本 TFT 134 を画素 TFT として用いる場合には、画素電極をスイッチングする素子であるので、もう一方のドレイン電極には、ITO など透明導電膜からなる画素電極を設ける。この場合、他方の電極は、ソースバスラインを構成することになり、ソースバスラインを介してビデオ信号が供給され、ゲートバスライン 117 のゲート信号に基づいて画素電極に必要な電荷が書き込まれる。また、本 TFT は薄膜集積回路などにも簡単に応用でき、その場合にはゲート電極 117 上にもコンタクトホールを形成し、必要とする配線を施せばよい。

【0171】

そして最後に、窒素雰囲気あるいは水素雰囲気で 350℃、1 時間のアニールを行い、図 1 (I) に示す TFT 134 を完成させる。さらに必要に応じて、TFT 134 を保護する目的で、TFT 134 上に窒化ケイ素膜などからなる保護膜を設けてもよい。

【0172】

以上の実施形態にしたがって作製した TFT は、電界効果移動度が 300 cm²/Vs 程度、閾値電圧が 1.5 V 程度と非常に高性能であるにもかかわらず、従来例で頻繁に見られた TFT オフ動作時のリーク電流の異常な増大が全く無く、単位 W 当たり 0. 数 pA 以下と非常に低い値を安定して示した。この値は、触媒元素を用いずに作製した従来の TFT と比べても全く差が無いものであり、TFT の不良発生率は 1/10000 個以下であり、製造歩留まりを大きく向上することができた。また、繰り返し測定やバイアスや温度ストレスによる耐久性試験を行っても、ほとんど特性劣化は見られず、従来のものと比べて非常に信頼性が高かった。

【0173】

(第 2 実施形態)

本発明を用いた第 2 の実施形態について説明する。本実施形態では、第 1 実施形態と同様に、ガラス基板上に N チャネル型 T F T を作製する際の工程において、本発明を利用した場合についての説明を行う。

【 0 1 7 4 】

以下において、図 2 (A) ~ (I) に示すのが、本実施形態で説明する N 型 T F T の作製工程を示す断面図であり、(A) → (I) の順にしたがって作製工程が順次進行する。

【 0 1 7 5 】

図 2 (A) において、基板 2 0 1 には低アルカリガラス基板や石英基板を用いることができる。本実施形態では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも 1 0 ~ 2 0 ℃ 程度低い温度であらかじめ熱処理しておいても良い。この基板 2 0 1 の T F T を形成する表面には、基板 2 0 1 からの不純物拡散を防ぐために、酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜などの下地膜を形成する。本実施形態では、例えば、プラズマ C V D 法で S i H 4 、 N H 3 、 N 2 O の材料ガスから作製される酸化窒化ケイ素膜を、下層の第 1 下地膜 2 0 2 として成膜し、その上に同様にプラズマ C V D 法により S i H 4 、 N 2 O を材料ガスとして第 2 の下地膜 2 0 3 を積層形成した。このときの第 1 下地膜 2 0 2 の酸化窒化ケイ素膜の膜厚は、2 5 ~ 2 0 0 n m 、例えば 1 0 0 n m とし、第 2 下地膜 3 0 3 の酸化窒化ケイ素膜の膜厚としては、2 5 ~ 3 0 0 n m 、例えば 1 0 0 n m とした。次にプラズマ C V D 法によって、厚さ 2 0 ~ 8 0 n m 、例えば 5 0 n m の真性 (I 型) の非晶質ケイ素膜 (a - S i 膜) 2 0 4 を成膜する。本実施形態では、マルチチャンバー型の平行平板式プラズマ C V D 装置を用い、第 1 下地膜 2 0 2 、第 2 下地膜 2 0 3 、そして a - S i 膜 2 0 4 の 3 層を大気中に出すことなく連続して成膜した。

【 0 1 7 6 】

続いて、a - S i 膜 2 0 4 に触媒元素を添加し、加熱処理を行う。a - S i 膜に対して、重量換算で例えば 1 0 p p m の触媒元素 (本実施形態ではニッケル) を含む水溶液 (酢酸ニッケル水溶液) をスピコート法で塗布して、触媒元素含有層 2 0 5 を形成する。なお、本実施形態ではスピコート法でニッケルを添加

する方法を用いたが、蒸着法やスパッタ法などにより触媒元素でなる薄膜（本実施形態の場合はニッケル膜）を非晶質シリコン膜 204 上に形成する手段をとっても良い。この状態が図 2（A）の状態に相当する。このようにして添加された図 2（A）の状態における a-Si 204 表面上のニッケル濃度を全反射蛍光 X 線分析（TRXRF）法により測定すると、 $5 \times 10^{12} \text{ atoms/cm}^2$ 程度であった。

【0177】

次に、これを不活性雰囲気下、例えば窒素雰囲気にて第 1 の加熱処理を行う。この加熱処理は、 $550 \sim 600^\circ\text{C}$ で 30 分～4 時間のアニール処理を行うことが好ましい。本実施形態では、一例として 580°C にて 1 時間の加熱処理を行った。この加熱処理において、a-Si 膜表面に添加されたニッケル 205 が a-Si 膜 204 中に拡散すると共に、シリサイド化が起こり、それを核として a-Si 膜 204 の結晶化が進行する。その結果、a-Si 膜 204 は結晶化され、結晶質ケイ素膜 204 a となる。

【0178】

続いて、図 2（B）に示すように、加熱処理により得られた結晶質ケイ素膜 204 a にレーザー光 208 を照射することで、この結晶質ケイ素膜 204 a をさらに再結晶化し、結晶性を向上させた結晶質ケイ素膜 204 b を形成する。このときのレーザー光としては、XeCl エキシマレーザー（波長 308 nm 、パルス幅 40 ns ）を用いた。レーザー光の照射条件は、照射時に基板を $200 \sim 450^\circ\text{C}$ 、例えば 400°C に加熱し、エネルギー密度 $250 \sim 450 \text{ mJ/cm}^2$ 、例えば 350 mJ/cm^2 で照射した。また、本実施形態では、ビームサイズは基板 201 表面で $150 \text{ mm} \times 1 \text{ mm}$ の長尺形状となるように成型されており、長尺方向に対して垂直方向に 0.05 mm のステップ幅で順次走査を行った。すなわち、結晶質ケイ素膜 204 a の任意の一点において、計 20 回のレーザー照射が行われることになる。このようにして、固相結晶化により得られた結晶質ケイ素膜 204 a は、レーザー照射による熔融固化過程により結晶欠陥が低減され、より高品質な結晶質ケイ素膜 204 b となる。

【0179】

次に、図2 (C) に示すように、結晶質ケイ素膜204b表面をフッ化水素を含む酸206に晒すことで、第1のゲッタリング工程を行う。本実施形態では、1:10のバッファードフッ酸 (BHF; フッ化水素濃度約5%) 溶液を用い、その溶液中に基板全体を浸すディッピング法により、上記の工程を行った。このような濃度のフッ化水素酸の場合、処理時間は10秒から30秒程度であることが望ましく、本実施形態では15秒で処理を行った。また1:10BHF溶液にディッピングした後は、純水で置換・洗浄し、エアナイフで乾燥を行った。上記の工程により、フッ化水素酸を含む酸206により、結晶質ケイ素膜中で局在しているNiシリサイド (特に大きな塊のものやNiSi₂組成のもの) が選択的にエッチング除去され、結晶質ケイ素膜204bには、これらのシリサイドがエッチング除去された跡として、微小なあな207が生じる。このときのあなの直径としては0.05 μ m ~ 0.5 μ m程度であった。

【0180】

次に、結晶質ケイ素膜204b表面を薄膜酸化することで、エッチングストッパーとなる酸化ケイ素薄膜212を形成する。酸化ケイ素膜212の形成は、結晶質ケイ素膜204b表面にオゾン水を保持することで行った。このときのオゾン水中のオゾン濃度は、5mg/L以上であることが望ましく、本実施形態では8mg/Lとした。結晶性ケイ素膜204b表面におけるオゾン水の保持時間は、1分とした。より緻密な酸化ケイ素膜212を形成するには、オゾン水処理の前に、結晶質ケイ素膜204b表面の自然酸化膜を取っておくことが望ましい。本実施形態では、のフッ化水素を含む酸206による第1のゲッタリング工程で、このオゾン水処理前のフッ酸洗浄工程を兼ねて行い、活性なケイ素膜表面を露出してから、オゾン水による処理を行った。このようにして形成された酸化ケイ素膜212の膜厚を分光エリプソで測定したところ、約30 Åであった。

【0181】

次に、酸化膜212を覆うように、プラズマCVD法により、リンを含むa-Si膜213を形成する。このリンを含むa-Si膜は、ゲッタリング層をして機能する。このときのリンを含んだa-Si膜213の形成は、プラズマCVD法を用い、シラン (SiH₄) とフォスフィン (PH₃) を材料ガスとして行った

。この際、 $a-Si$ 膜 213 中のリンの濃度は、フォスフィンガスの流量比で任意に変更することが可能である。本実施形態では、 PH_3/SiH_4 流量比を 3/100 として行った。このときの $a-Si$ 213 膜中のリン濃度は 1% 程度であった。本実施形態では、ゲッタリング層に含まれるゲッタリング元素としてリンを用いたが、リンに加えてホウ素を含ませることで、よりゲッタリング能力は高められる。このときは、成膜材料ガスとして、上記 2 種にジボラン (B_2H_6) を加えればよい。また、リンの代わりに、Ar 等の希ガス元素を成膜時に導入し、これらの希ガスが含まれる状態の $a-Si$ 膜としても高いゲッタリング効果が得られる。この状態が図 2 (D) に相当する。

【0182】

次に、これを不活性雰囲気下にて第 2 の加熱処理を行なう。本実施形態では、例えば窒素雰囲気にて高速熱アニール処理を施した。このときの高速熱アニールの条件としては、基板を 400℃ 程度に予熱した状態から、50℃/分から 300℃/分の昇温速度で昇温し、アニール温度および処理時間としては、600～750℃ の温度で 30 秒～15 分、より好ましくは 650～700℃ の温度で 1 分～10 分であることが望ましい。本実施形態においては、抵抗性加熱炉を用いて炉内で温度勾配を持たせ、基板を炉内に挿入する速度をコントロールすることで、上記の温度プロファイルの高速熱アニール処理を実現した。このとき、基板は一枚ずつ処理し、処理中において、基板 201 表面に高温加熱された窒素ガスを均一に吹き付けることで、熱輻射のみでは得られない高速の昇温速度と昇温途中での基板面内の均熱性を得ている。

【0183】

上記の高速熱アニール処理により、リンを含む $a-Si$ 膜 213 が下層の結晶質ケイ素膜 204 b 中のニッケル 205 を、図 2 (E) の矢印 214 に示すように上方向に向かって移動させる。このときニッケルは薄膜の酸化ケイ素膜 212 を通過して移動するが、本実施形態のような膜厚の酸化ケイ素膜では、その移動の妨げとはならない。リンにより $a-Si$ 膜 213 は、ニッケルの固溶度が大きく上昇しており、また欠陥等がニッケルに対する偏析トラップとなってゲッタリング作用を引き出すことで、第 2 のゲッタリング工程が行なわれる。この第 2 の

ゲッターリング工程では、まず、結晶質ケイ素膜 204b 中に固溶しているニッケルがゲッターリング層 213 に移動することで、ケイ素膜中のニッケル濃度が下がり、膜中に残存していた Ni シリサイド（特に小さな塊のものや NiSi や Ni₂Si 等の低級組成のもの）が、ケイ素膜中に固溶し出す。これらも固溶状態でゲッターリング層 213 に移動していき、最終的に、第 1 のゲッターリング工程で除去できなかった小さな塊の NiSi₂ や NiSi や Ni₂Si 等の低級組成のシリサイドも完全に除去され、固溶状態のニッケルの濃度も低減される。その結果、結晶質ケイ素膜 204b のニッケル濃度は、二次イオン質量分析法（SIMS）により測定したところ $5 \times 10^{15} \text{ atoms/cm}^3$ 程度にまで低減されており、ほぼ測定下限レベルであった。また、ここで結晶質ケイ素膜 204b 中に残留しているニッケルは、勿論シリサイド状態では無く、格子間ニッケルとして固溶した状態で存在している。

【0184】

次に、ゲッターリング層である a-Si 膜 213 を全面的にエッチング除去する。このときのエッチングとしては、下層の酸化ケイ素膜 212 がエッチングストッパーとして十分作用するように、酸化ケイ素膜と十分エッチング選択比のあるエッチャントが求められる。本実施形態では、現像液のような強アルカリ溶液を用いた。次に、ゲッターリング層の a-Si 膜 213 を除去した後、酸化ケイ素膜 212 をエッチング除去する。このときのエッチャントとしては、十分に下層のケイ素膜 204b と選択性のある 1:100 バッファードフッ酸（BHF）を用い、ウェットエッチングにより行った。

【0185】

その後、結晶質ケイ素膜 204b の不要な部分を除去して素子間分離を行う。上記の工程により、図 2（F）に示すように、後に TFT の活性領域（ソース／ドレイン領域、チャネル領域）となる島状の結晶質ケイ素膜 215 が形成される。続いて、これらの島状の結晶質ケイ素膜 215 を覆うゲート絶縁膜 216 を形成する。ゲート絶縁膜 216 としては、厚さ 20～150 nm の酸化ケイ素膜が好ましく、ここでは 100 nm の酸化ケイ素膜を TEOS と酸素ガスを材料としてプラズマ CVD 法により形成した。成膜後、ゲート絶縁膜自身のバルク特性お

よび結晶性ケイ素膜\ゲート絶縁膜の界面特性を向上するために、不活性ガス雰囲気下で500～600℃で1～4時間のアニールを行った。

続いて、ゲート絶縁膜216上に導電膜をスパッタ法またはCVD法などを用いて堆積し、これをパターニング形成して、ゲート電極217とする。本実施形態では、スパッタリング法によって、厚さ400～800nm、例えば500nmのアルミニウム（スカンジウム1%含有）を成膜し、パターニングしてゲート電極217を形成する。アルミニウム膜にはスカンジウムやチタン、シリコン等の元素を微量に混ぜることにより高温耐性が向上する。

【0186】

次に、図2（G）に示すように、イオンドーピング法によって、ゲート電極217をマスクとして活性領域に低濃度の不純物（リン）219を注入する。ドーピングガスとして、フォスフィン（ PH_3 ）を用い、加速電圧を60～90kV、例えば80kV、ドーズ量を $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 、例えば $8 \times 10^{12} \text{ cm}^{-2}$ とする。この工程により島状のケイ素膜215において、ゲート電極217に覆われていない領域221には低濃度のリン219が注入され、ゲート電極217にマスクされリン219が注入されない領域220は、後にTFTのチャネル領域となる。

【0187】

続いて、図2（H）に示すように、ゲート電極217を一回り大きく覆うようにフォトリソによるドーピングマスク222を設ける。その後、イオンドーピング法によって、レジストマスク222をマスクとして活性領域に不純物（リン）223を高濃度に注入する。ドーピングガスとして、フォスフィン（ PH_3 ）を用い、加速電圧を60～90kV、例えば80kV、ドーズ量を $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $2 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、高濃度に不純物（リン）223が注入された領域は、後にTFTのソース／ドレイン領域224となる。活性領域215において、レジストマスク222に覆われ、高濃度のリン223がドーピングされなかった領域は、低濃度にリンが注入された領域として残り、LDD（Lightly Doped Drain）領域221を形成する。このように、LDD領域221を形成することで、チャネル領域

とソース／ドレイン領域との接合部における電界集中を緩和でき、TFTオフ動作時のリーク電流を低減できると共に、ホットキャリアによる劣化を抑えることができTFTの信頼性を向上できる。

【0188】

次に、ドーピングのためのマスクとして用いたフォトリジスト222を除去した後、基板上方よりレーザー光照射によってアニールを行い、イオン注入した不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した部分の結晶性を改善させる。この際、使用するレーザーとしてはXeClエキシマレーザー（波長308nm、パルス幅40ns）を用い、エネルギー密度150～400mJ/cm²、好ましくは200～250mJ/cm²で照射を行った。こうして形成されたN型不純物（リン）領域224のシート抵抗は、200～500Ω/□であり、低濃度にリンが注入されたLDD領域221のシート抵抗は、30～50kΩ/□であった。

【0189】

続いて、図2（I）に示すように、厚さ400～1000nm程度の酸化ケイ素膜あるいは窒化ケイ素膜を層間絶縁膜232として形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によってTFTの電極・配線233を形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設けられる。本TFT234を画素TFTとして用いる場合には、もう一方のドレイン電極には、ITOなど透明導電膜からなる画素電極を設ける。そして最後に、窒素雰囲気あるいは水素雰囲気等で350℃、1時間のアニールを行い、図2（I）に示すTFT234を完成させる。さらに必要に応じて、TFT234を保護する目的で、TFT上に窒化ケイ素膜などからなる保護膜を設けてもよい。

【0190】

以上の実施形態にしたがって作製したTFTは、第1実施形態で作製したTFTと同様の非常に良好な電気特性を示した。本実施形態に基づいて作製されたTFTをデュアルゲート構造として液晶表示用アクティブマトリクス基板の画素TFTに適用したところ、従来法により作製したものに比べて表示むらが明らかに

少なく、TFTリークによる画素欠陥も極めて少なく、コントラスト比の高い高表示品位の液晶パネルが得られた。

【0191】

(第3実施形態)

本発明を用いた第3の実施形態について説明する。本実施形態では、アクティブマトリクス型の液晶表示装置の周辺駆動回路や、一般の薄膜集積回路を形成するnチャネル型TFTとpチャネル型TFTを相補型に構成したCMOS構造の回路をガラス基板上に作製する工程について、説明を行う。

【0192】

図3および図4は、本実施形態で説明するTFTの作製工程を示す断面図であり、図3(A)から(E)、図4(A)から(D)の順にしたがって工程が順次進行する。

【0193】

図3(A)において、基板301には低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。この基板301のTFTを形成する表面には、基板301からの不純物拡散を防ぐために、酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜などの下地膜を形成する。本実施形態では、例えば、プラズマCVD法でSiH₄、NH₃、N₂Oの材料ガスから作製される酸化窒化ケイ素膜を、下層の第1下地膜302として成膜し、その上に同様にプラズマCVD法によりSiH₄、N₂Oを材料ガスとして第2の下地膜303を積層形成した。このときの第1下地膜302の酸化窒化ケイ素膜の膜厚は、25～200nm、例えば50nmとし、第2下地膜303の酸化窒化ケイ素膜の膜厚としては、25～300nm、例えば100nmとした。本実施形態では、2層の下地膜を使用した。例えば酸化ケイ素膜の単層でも問題ない。

【0194】

次に、20～150nm（好ましくは30～80nm）の厚さで非晶質構造を有するケイ素膜（a-Si膜）304を、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施形態では、プラズマCVD法で非晶質ケイ素膜を

50 nmの厚さに形成した。また、下地膜302、303と非晶質ケイ素膜304とは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。下地膜を形成した後、一旦大気雰囲気中に晒さないことでその表面の汚染を防ぐことが可能となり、作製するTFETの特性バラツキやしきい値電圧の変動を低減させることができる。

【0195】

次に、a-Si膜304表面上に触媒元素（本実施形態ではニッケル）305の微量添加を行う。このニッケル305の微量添加は、ニッケルを溶かした溶液をa-Si304上に保持し、スピナーにより溶液を基板301上に均一に延ばし乾燥させることにより行った。本実施形態では、溶質としては酢酸ニッケルを用い、溶媒としては水を用い、溶液中のニッケル濃度は8 ppmとなるようにした。この状態が図3（A）の状態に相当する。このようにして添加された図3（A）の状態におけるa-Si304表面上のニッケル濃度を全反射蛍光X線分析（TRXRF）法により測定すると、 $5 \times 10^{12} \text{ atoms/cm}^2$ 程度であった。触媒元素をアモルファスシリコン膜に添加する方法としては、触媒元素を含有する溶液を塗布する方法以外に、プラズマドーピング法、蒸着法もしくはスパッタ法等の気相法なども利用することができる。溶液を用いる方法は、触媒元素の添加量の制御が容易であり、ごく微量な添加を行うのも容易である。

【0196】

次に、これを不活性雰囲気下、例えば窒素雰囲気にて第1の加熱処理を行う。このときの加熱処理としては520～600℃で1～8時間のアニール処理を行う。本実施形態では、一例として580℃にて1時間の加熱処理を行った。この加熱処理において、a-Si膜表面に添加されたニッケル305がa-Si膜304中に拡散すると共に、シリサイド化が起こり、それを核としてa-Si膜304の結晶化が進行する。その結果、図3（B）に示すように、a-Si膜304は結晶化され、結晶質ケイ素膜304aとなる。

【0197】

次に、図3（C）に示すように、レーザー光308を照射することで、この結晶質ケイ素膜304aをさらに再結晶化し、その結晶性を向上させる。このとき

のレーザー光としては、XeClエキシマレーザー（波長308nm、パルス幅40ns）を用いた。レーザー光の照射条件は、基板加熱はせず、エネルギー密度250～500mJ/cm²、例えば400mJ/cm²で照射した。ビーム形状は、基板301表面で150mm×1mmの長尺形状となるように成型されており、長尺方向に対して垂直方向に0.05mmのステップ幅で順次走査を行った。すなわち、結晶質ケイ素膜304aの任意の一点において、計20回のレーザー照射が行われることになる。このようにして、固相結晶化により得られた結晶質ケイ素膜304aは、レーザー照射による熔融固化過程により結晶欠陥が低減され、より高品質な結晶性ケイ素膜304bとなる。この時使用できるレーザーとしては、パルス発振型または連続発光型のKrFエキシマレーザー、XeClエキシマレーザー、YAGレーザーまたはYVO₄レーザーを用いることができる。結晶化の条件は、実施者が適宜選択すればよい。

【0198】

次に、図3（D）に示すように、結晶質ケイ素膜304b表面をフッ化水素を含む酸306に晒すことで、第1のゲッタリング工程を行う。本実施形態では、1%のフッ化水素酸溶液を用い、その溶液中に基板全体を浸すディッピング法により、上記の工程を行った。このような濃度のフッ化水素酸の場合、処理時間は60秒から180秒程度であることが望ましく、本実施形態では120秒で処理を行った。またフッ化水素酸にディッピングした後は、純水で置換・洗浄し、スピンドル乾燥を行った。上記の工程により、フッ化水素酸306により、結晶質ケイ素膜中で局在しているNiシリサイド（特に大きな塊のものやNiSi₂組成のもの）が選択的にエッチング除去され、結晶質ケイ素膜304bには、これらのシリサイドがエッチング除去された跡として、微小なあな307が生じる。このときのあなの直径としては0.05μm～0.5μm程度であった。

【0199】

その後、結晶質ケイ素膜304bの不要な部分を除去して素子間分離を行う。上記の工程により、図3（E）に示すように、後にnチャネル型TFETとpチャネル型TFETの活性領域（ソース／ドレイン領域、チャネル領域）となる島状の結晶質ケイ素膜315nと315pとが形成される。

【0200】

ここで、nチャネル型TF Tとpチャネル型TF Tの活性領域の全面に、しきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$ 程度の濃度でp型を付与する不純物元素としてボロン(B)を添加してもよい。ボロン(B)の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。

【0201】

次に、上記の活性領域となる結晶質ケイ素膜315n、315pを覆うように厚さ20~150nm、ここでは100nmの酸化ケイ素膜をゲート絶縁膜316として成膜する。酸化ケイ素膜の形成には、ここではTEOSを原料とし、酸素とともに基板温度300~450℃で、RFプラズマCVD法で分解・堆積した。ゲート絶縁膜316には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0202】

引き続き、スパッタリング法によって高融点メタルを堆積し、これをパターニング形成して、ゲート電極317nと317pを形成する。このときの高融点メタルとしては、タンタル(Ta)あるいはタングステン(W)、モリブデン(Mo)チタン(Ti)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良い。また、その他の代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。本実施形態では、タングステン(W)を用い、厚さが300~600nm、例えば450nmとした。このとき、低抵抗化を図るために含有する不純物濃度を低減させると良く、酸素濃度を30ppm以下とすることで $20 \mu\Omega \text{cm}$ 以下の比抵抗値を実現することができた。

【0203】

次に、図4(A)に示すように、イオンドーピング法によって、ゲート電極317nと317pをマスクとして活性領域にN型不純物(リン)323を注入する。ドーピングガスとして、フォスフィン(PH₃)を用い、加速電圧を60~

90 kV、例えば 80 kV、ドーズ量を $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $6 \times 10^{15} \text{ cm}^{-2}$ とする。後の N チャンネル型 TFT の活性領域 315 n では、この工程により、高濃度にリン 323 が注入された領域 324 は、後に n チャンネル型 TFT のソース／ドレイン領域となり、ゲート電極 317 n にマスクされリン 323 が注入されない領域は、後に n チャンネル型 TFT のチャンネル領域 320 n となる。このとき、後の P チャンネル型 TFT の活性領域 315 p にも同様にリンが注入される。これは、この高濃度に注入されたリンをゲッタリング元素として利用し、後の第 2 の加熱処理工程でソース及びドレイン領域へとゲッタリングを行なうためである。

【0204】

次に、図 4 (B) に示すように、また新たに、後の n チャンネル型 TFT の活性領域 315 n を覆うようにフォトリソットによるドーピングマスク 325 を設ける。この状態で、イオンドーピング法によって、レジストマスク 325 と後の p チャンネル型 TFT のゲート電極 317 p をマスクとして、p チャンネル型 TFT の活性領域 315 p に p 型を付与する不純物（ホウ素）326 を注入する。ドーピングガスとして、ジボラン (B_2H_6) を用い、加速電圧を 40 kV \sim 80 kV、例えば 65 kV とし、ドーズ量は $5 \times 10^{15} \sim 2 \times 10^{16} \text{ cm}^{-2}$ 、例えば $1 \times 10^{16} \text{ cm}^{-2}$ とする。この工程により、高濃度にホウ素 326 が注入された領域 327 は、所謂カウンタードーピングにより、N 型から P 型に極性を反転させ、後に p チャンネル型 TFT のソース／ドレイン領域となり、ゲート電極 317 p にマスクされ不純物が注入されない領域は、後の p チャンネル型 TFT のチャンネル領域 320 p となる。上記の工程において、後の n チャンネル型 TFT の活性領域 315 n は、マスク 325 で全面覆われているため、ホウ素 326 は全くドーピングされない。

【0205】

n 型不純物と p 型不純物のドーピングに際しては、このようにドーピングが不要な領域をフォトリソットで覆うことによって、それぞれの元素を選択的にドーピングを行い、n 型の高濃度不純物領域 324 と p 型の不純物領域 327 とが形成される。なお、本実施形態において、半導体層に n 型不純物元素から添加した

が、工程順は本実施形態に限定されることはなく、実施者が適宜決定すればよい。

【0206】

次いで、レジストマスク 325 を除去した後、これを不活性雰囲気下、例えば窒素雰囲気にて第 2 の熱処理を行う。本実施形態では、520～600℃の範囲で30分から8時間程度の加熱処理を行なった。この熱処理工程で、後の n チャネル型 T F T の活性領域 315 n 及び P チャネル型 T F T の活性領域 315 p において、ソース・ドレイン領域にドーピングされているリンが、その領域でのニッケルに対する固溶度を高め、チャネル領域に存在しているニッケルを、チャネル領域 320 n、320 p からソース・ドレイン領域 324、327 へと、矢印 314 で示される方向に移動させることで、第 2 のゲッタリング工程が行なわれる (図 4 (C))。

【0207】

この第 2 のゲッタリング工程では、まず、チャネル領域 320 n、320 p 中に固溶しているニッケルがソース・ドレイン領域 324、327 に移動することで、チャネル領域中のニッケル濃度が下がり、そこに残存していた N i シリサイド (特に小さな塊のものや N i S i や N i₂S i 等の低級組成のもの) が、さらにチャネル領域中に固溶し出す。これらも固溶状態でソース・ドレイン領域 324、327 に移動していき、最終的に、第 1 のゲッタリング工程で除去できなかった小さな塊の N i S i₂ や N i S i や N i₂S i 等の低級組成のシリサイドも完全に除去され、固溶状態のニッケルの濃度も低減される。その結果、チャネル領域 320 n、320 p のニッケル濃度は、二次イオン質量分析法 (S I M S) により測定したところ $5 \times 10^{15} \text{ atoms/cm}^3$ 程度にまで低減されており、ほぼ測定下限レベルであった。また、ここでチャネル領域中に残留しているニッケルは、勿論シリサイド状態では無く、格子間ニッケルとして固溶した状態で存在している。また、逆にソース・ドレイン領域にはニッケルが移動してくるため、ソース・ドレイン領域 324、327 におけるニッケル濃度は、 $1 \times 10^{19} \text{ /cm}^3$ 以上となっている。

【0208】

また、この加熱処理工程で、nチャネル型TFETのソース・ドレイン領域324にドーピングされたn型不純物（リン）323と、pチャネル型TFETのソース・ドレイン領域327にドーピングされたp型不純物（ホウ素）326の活性化も同時に行われる。その結果、nチャネル型TFETのソース・ドレイン領域324のシート抵抗値は、 $400 \sim 700 \Omega/\square$ 程度となり、pチャネル型TFETのソース・ドレイン領域327のシート抵抗値は、 $1 \sim 1.5 \text{ k}\Omega/\square$ 程度であった。

【0209】

次いで、図4（D）に示すように、無機層間絶縁膜を形成する。窒化ケイ素膜、酸化ケイ素膜、または窒化酸化ケイ素膜を $400 \sim 1500 \text{ nm}$ （代表的には $600 \sim 1000 \text{ nm}$ ）の厚さで形成する。本実施形態では、膜厚 200 nm の窒化ケイ素膜331と膜厚 700 nm の酸化ケイ素膜332とを積層形成し、2層構造とした。このときの成膜方法としては、プラズマCVD法を用い、窒化ケイ素膜は SiH_4 と NH_3 を原料ガスとして、酸化ケイ素膜はTEOSと O_2 を原料として、連続形成した。もちろん、無機層間絶縁膜としては、これに限定されるものではなく、他のシリコンを含む絶縁膜を単層または積層構造としてよい。

【0210】

さらに、 $300 \sim 500^\circ\text{C}$ で1～数時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は、活性領域／ゲート絶縁膜の界面へ水素原子を供給し、TFET特性を劣化させる不対結合手（ダングリングボンド）を終端化し不活性化する工程である。本実施形態では、水素を約3%含む窒素雰囲気下で 410°C 、1時間の熱処理を行った。層間絶縁膜（特に窒化ケイ素膜331）に含まれる水素の量が十分である場合には、窒素雰囲気下で熱処理を行っても効果が得られる。水素化の他の手段としては、プラズマ水素化（プラズマにより励起された水素を用いる）を行ってもよい。

【0211】

次に、層間絶縁膜にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によってTFETの電極・配線333を形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜

として設けられる。そして最後に、350℃、1時間のアニールを行い、図4（D）に示すnチャネル型TF T 334とpチャネル型TF T 335とを完成させる。さらに必要に応じて、ゲート電極317nおよび317pの上にもコンタクトホールを設けて、配線333により必要な電極間を接続する。また、TF Tを保護する目的で、それぞれのTF T上に窒化ケイ素膜などからなる保護膜を設けてもよい。

【0212】

以上の実施形態にしたがって作製したそれぞれのTF Tの電界効果移動度はnチャネル型TF Tで250～300 cm²/Vs、pチャネル型TF Tで120～150 cm²/Vsと高く、閾値電圧はN型TF Tで1V程度、P型TF Tで-1.5V程度と非常に良好な特性を示す。しかも、従来例で頻繁に見られたTF Tオフ動作時のリーク電流の異常な増大が全く無く、繰り返し測定やバイアスや温度ストレスによる耐久性試験を行っても、ほとんど特性劣化は見られなかった。また、本実施形態で作製したnチャネル型TF Tとpチャネル型TF Tとを相補的に構成したCMOS構造回路で、インバーターチェーンやリングオシレーター等の回路を形成した場合、従来のものと比べて非常に信頼性が高く、安定した回路特性を示した。

【0213】

（第4実施形態）

本発明を用いた第4の実施形態について説明する。本実施形態でも、nチャネル型TF Tとpチャネル型TF Tを相補型に構成したCMOS構造の回路をガラス基板上に作製する工程について、説明を行う。

【0214】

図5および図6は、本実施形態で説明するTF Tの作製工程を示す断面図であり、図5（A）から（F）、図6（A）から（D）の順にしたがって工程が順次進行する。

【0215】

図5（A）において、低アルカリガラス基板401のTF Tを形成する表面に、基板401からの不純物拡散を防ぐために、酸化ケイ素膜、窒化ケイ素膜また

は酸化窒化ケイ素膜などの下地膜を形成する。本実施形態では、例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O の材料ガスから作製される酸化窒化ケイ素膜を、下層の第1下地膜402として成膜し、その上に同様にプラズマCVD法によりTEOSおよび O_2 を材料ガスとして第2の下地膜403を積層形成した。このときの第1下地膜402の酸化窒化ケイ素膜の膜厚は、例えば100nmとし、第2下地膜403の酸化窒化ケイ素膜の膜厚としては、例えば100nmとした。

【0216】

次に、20～150nm（好ましくは30～80nm）の厚さで非晶質構造を有するケイ素膜（a-Si膜）404を、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施形態では、プラズマCVD法で非晶質ケイ素膜を50nmの厚さに形成した。また、下地膜402、403と非晶質ケイ素膜404とは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。

【0217】

次に、a-Si膜404表面上に触媒元素（本実施形態ではニッケル）405の微量添加を行う。このニッケル405の微量添加は、ニッケルを溶かした溶液をa-Si404上に保持し、スピナーにより溶液を基板401上に均一に延ばし乾燥させることにより行った。本実施形態では、溶質としては酢酸ニッケルを用い、溶媒としては水を用い、溶液中のニッケル濃度は8ppmとなるようにした。この状態が図5（A）の状態に相当する。このようにして添加された図5（A）の状態におけるa-Si404表面上のニッケル濃度を全反射蛍光X線分析（TRXRF）法により測定すると、 $5 \times 10^{12} \text{ atoms/cm}^2$ 程度であった。

【0218】

次に、これを不活性雰囲気下、例えば窒素雰囲気にて加熱処理を行う。このときの加熱処理としては520～600℃で1～8時間のアニール処理を行う。本実施形態では、一例として550℃にて4時間の加熱処理を行った。この加熱処理において、a-Si膜表面に添加されたニッケル405がa-Si膜404中

に拡散すると共に、シリサイド化が起こり、それを核として a-Si 膜 404 の結晶化が進行する。その結果、図 5 (B) に示すように、a-Si 膜 404 は結晶化され、結晶質ケイ素膜 404 a となる。

【0219】

次に、図 5 (C) に示すように、結晶質ケイ素膜 404 a 表面をフッ化水素を含む酸 406 に晒すことで、第 1 のゲッタリング工程を行う。本実施形態では、1% のフッ化水素酸溶液を用い、その溶液中に基板全体を浸すディッピング法により、上記の工程を行った。このような濃度のフッ化水素酸の場合、処理時間は 60 秒から 180 秒程度であることが望ましく、本実施形態では 120 秒で処理を行った。またフッ化水素酸にディッピングした後は、純水で置換・洗浄し、スピン乾燥を行った。上記の工程により、フッ化水素酸 406 により、結晶質ケイ素膜中で局在している Ni シリサイド (特に大きな塊のものや NiSi_2 組成のもの) が選択的にエッチング除去され、結晶質ケイ素膜 404 a には、これらのシリサイドがエッチング除去された跡として、微小なあな 407 が生じる。このときのあなの直径としては $0.1\ \mu\text{m} \sim 0.8\ \mu\text{m}$ 程度であった。

【0220】

次に、図 4 (D) に示すように、レーザー光 408 を照射することで、この結晶質ケイ素膜 404 a をさらに再結晶化し、その結晶性を向上させる。このレーザー照射工程に際して、図 4 (C) に示すフッ化水素酸 406 によるディッピング処理は、その前洗浄工程を兼ねている。このときのレーザー光としては、XeCl エキシマレーザー (波長 $308\ \text{nm}$ 、パルス幅 $40\ \text{ns}$) を用いた。レーザー光の照射条件は、エネルギー密度を例えば $400\ \text{mJ}/\text{cm}^2$ とし、 $150\ \text{mm} \times 1\ \text{mm}$ の長尺形状となるように成型されたビームにて、長尺方向に対して垂直方向に $0.05\ \text{mm}$ のステップ幅で順次走査を行った。すなわち、結晶質ケイ素膜 404 a の任意の一点において、計 20 回のレーザー照射が行われることになる。このようにして、固相結晶化により得られた結晶質ケイ素膜 404 a は、レーザー照射による熔融固化過程により結晶欠陥が低減され、より高品質な結晶質ケイ素膜 404 b となる。

【0221】

その後、結晶質ケイ素膜 404b の不要な部分を除去して素子間分離を行う。上記の工程により、図 5 (E) に示すように、後に n チャネル型 TFT と p チャネル型 TFT の活性領域 (ソース/ドレイン領域、チャネル領域) となる島状の結晶質ケイ素膜 415n と 415p とが形成される。

【0222】

ここで、n チャネル型 TFT と p チャネル型 TFT の活性領域の全面に、しきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$ 程度の濃度で p 型を付与する不純物元素としてボロン (B) を添加してもよい。ボロン (B) の添加はイオンドーピング法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。

【0223】

次に、上記の活性領域となる結晶質ケイ素膜 415n、415p を覆うように厚さ 20 ~ 150 nm、ここでは 100 nm の酸化ケイ素膜をゲート絶縁膜 416 として成膜する。酸化ケイ素膜の形成には、ここでは TEOS を原料とし、酸素とともに基板温度 150 ~ 600 °C、好ましくは 300 ~ 450 °C で、RF プラズマ CVD 法で分解・堆積した。

【0224】

引き続き、図 5 (F) に示すように、スパッタリング法によって高融点金属を堆積し、これをパターンニング形成して、ゲート電極 417n と 417p を形成する。本実施形態では、このときの高融点金属として、窒素が微量にドーピングされたタンタル (Ta) を用い、厚さが 300 ~ 600 nm、例えば 450 nm とした。

【0225】

次に、イオンドーピング法によって、ゲート電極 417n と 417p をマスクとして活性領域に低濃度の不純物 (リン) 419 を注入する。ドーピングガスとして、フォスフィン (PH₃) を用い、加速電圧を 60 ~ 90 kV、例えば 80 kV、ドーズ量を $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 、例えば $2 \times 10^{13} \text{ cm}^{-2}$ とする。この工程により島状のケイ素膜 415n と 415p において、ゲート電極 417n と 417p に覆われていない領域は低濃度のリン 419 が注入された領域

421 となり、ゲート電極 417 n、417 p にマスクされ不純物 419 が注入されない領域は、後に n チャンネル型 T F T と p チャンネル型 T F T のチャンネル領域 420 n と 420 p となる。この状態が図 5 (F) に相当する。

【0226】

次いで、図 6 (A) に示すように、後の n チャンネル型 T F T においては、ゲート電極 417 n を一回り大きく覆うようにフォトレジストによるドーピングマスク 422 を設け、後の p チャンネル型 T F T においては、ゲート電極 417 p をさらに一回り大きく覆い、活性領域 415 p の外縁部を露出させるようにフォトレジストによるドーピングマスク 422 を設ける。その後、イオンドーピング法によって、レジストマスク 422 をマスクとして活性領域に不純物 (リン) 423 を高濃度に注入する。このとき、ドーピングガスとしてフォスフィン (PH_3) を用い、加速電圧を 60~90 kV、例えば 80 kV、ドーズ量を $2 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $5 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、後に n チャンネル型 T F T においては、高濃度に不純物 (リン) 423 が注入された領域 424 は、後に n チャンネル型 T F T のソース/ドレイン領域となる。次に、活性領域 415 n において、レジストマスク 422 に覆われ、高濃度のリン 423 がドーピングされなかった領域は、低濃度にリンが注入された領域として残り、L D D (L i g h t l y D o p e d D r a i n) 領域 421 を形成する。また、この工程により、後に p チャンネル型 T F T においては、高濃度に不純物 (リン) 423 が注入された領域 424 は、後に p チャンネル型 T F T のゲッタリング領域を形成することになる。このときの領域 424 における n 型不純物元素 (リン) 423 の膜中濃度は $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ となっている。また、n チャンネル型 T F T の L D D 領域 421 における n 型不純物元素 (リン) 419 の膜中濃度は、 $1 \times 10^{17} \sim 1 \times 10^{20} / \text{cm}^3$ となっており、このような範囲であるときに L D D 領域として機能する。

【0227】

次に、レジストマスク 422 を除去した後、図 6 (B) に示すように、また新たに、後の n チャンネル型 T F T の活性領域 415 n において、先ほど形成された L D D 領域 421 を一回り大きく覆い、活性領域 415 n の外縁部を露出させる

ようにフォトレジストによるドーピングマスク 425 を設ける。このとき、後の p チャンネル型 T F T の上方にはマスクは設けられず、T F T 全体が露呈されている。この状態で、イオンドーピング法によって、レジストマスク 425 と後の p チャンネル型 T F T のゲート電極 417 p をマスクとして、活性領域に p 型を付与する不純物（ホウ素） 426 を注入する。ドーピングガスとして、ジボラン（ B_2H_6 ）を用い、加速電圧を 40 k V ~ 80 k V、例えば 65 k V とし、ドーズ量は $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $7 \times 10^{16} \text{ cm}^{-2}$ とする。この工程により、後に n チャンネル型 T F T においては、高濃度にホウ素 426 が注入された領域 428 n は、後に n チャンネル型 T F T のゲッタリング領域として機能する。後に p チャンネル型 T F T の活性領域 415 p においては、ゲート電極 417 p 下部のチャンネル領域 415 p 以外に高濃度にホウ素 426 が注入され、先の工程で低濃度に注入されている n 型不純物のリン 419 を反転させ p 型となり、後に p チャンネル型 T F T のソース／ドレイン領域 427 となる。また、高濃度のリン 423 が注入されている領域 424 には、さらに高濃度のホウ素 426 が注入され、p チャンネル型 T F T のゲッタリング領域 428 p が形成される。このときの領域 427 と領域 428 n および 428 p とにおける p 型不純物元素（ホウ素） 426 の膜中濃度は $1.5 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ となっている。また、n 型不純物元素（リン）に対して 1 ~ 2 倍の濃度となっている。この工程により、n チャンネル型 T F T のゲッタリング領域 428 n と p チャンネル型 T F T のゲッタリング領域 428 p は、前工程でのリン 423 とこの工程でのホウ素 426 とが合わせてドーピングされた領域となっている。

【0228】

n 型不純物と p 型不純物のドーピングに際しては、このようにドーピングが不要な領域をフォトレジストで覆うことによって、それぞれの元素を選択的にドーピングを行い、n 型の高濃度不純物領域 424 と p 型の不純物領域 427、そしてゲッタリング領域 428 n、428 p とが形成され、n チャンネル型 T F T と p チャンネル型 T F T とを形成することができる。なお、本実施形態において、半導体層に n 型不純物元素から添加したが、工程順は本実施形態に限定されることなく、実施者が適宜決定すればよい。

【0229】

次いで、レジストマスク 425 を除去した後、これを不活性雰囲気下、例えば窒素雰囲気にて第 2 の熱処理を行う。本実施形態では、550℃で4時間の加熱処理を行なった。この熱処理工程で、後の n チャンネル型 TFT の活性領域 415 n においては、ソース・ドレイン領域の外側に形成されたゲッタリング領域 428 n に高濃度にドーピングされているリンとホウ素が、その領域でのニッケルに対する固溶度を高め、さらにニッケルに対する偏析サイトを形成し、またドーピング時に生じた結晶欠陥もニッケルの偏析サイトとして機能する。次に、チャンネル領域 420 n、LDD 領域 421 およびソース・ドレイン領域 424 に存在しているニッケルを、チャンネル領域から LDD 領域、さらにソース・ドレイン領域、そしてゲッタリング領域 428 n へと、図 6 (C) の矢印 414 で示される方向に移動させる。リンのみがドーピングされたソース／ドレイン領域 424 もゲッタリング効果を有するが、リンとホウ素がドーピングされたゲッタリング領域 428 n の能力が圧倒的に高いので、ゲッタリング領域 428 n にニッケルは集められる。また、後の p チャンネル型 TFT の活性領域 415 p においても、ソース・ドレイン領域の外側に形成されたゲッタリング領域 428 p に高濃度にドーピングされているリンおよびホウ素が同様の機能を果たし、チャンネル領域 420 p、ソース・ドレイン領域 427 に存在しているニッケルを、チャンネル領域からソース・ドレイン領域、そしてゲッタリング領域 428 p へと、同様に矢印 414 で示される方向に移動させる。以上の工程により、第 2 のゲッタリング工程が行なわれる。

【0230】

この第 2 のゲッタリング工程では、まず、チャンネル領域 420 や LDD 領域 421、ソース・ドレイン領域 424、427 に固溶しているニッケルがゲッタリング領域 428 に移動することで、これらの領域中のニッケル濃度が下がり、そこに残存していた Ni シリサイド（特に小さな塊のものや NiSi や Ni₂Si 等の低級組成のもの）が、さらに固溶し出す。これらも固溶状態でゲッタリング領域 428 に移動していき、最終的に、第 1 のゲッタリング工程で除去できなかった小さな塊の NiSi₂ や NiSi や Ni₂Si 等の低級組成のシリサイドも完

全に除去され、固溶状態のニッケルの濃度も低減される。この加熱処理工程により、ゲッタリング領域 428n および 428p にはニッケルが移動してくるため、ゲッタリング領域 428n、428p におけるニッケル濃度は、 $1 \times 10^{19} / \text{cm}^3$ 以上となる。よって、TF T 活性領域のチャネル領域や、チャネル領域とソース・ドレイン領域との接合部、また LDD 領域との接合部においては、ニッケル濃度は、二次イオン質量分析法 (SIMS) により測定したところ $5 \times 10^{15} \text{ atoms} / \text{cm}^3$ 程度であり、ほぼ測定下限レベルであった。また、ここでこれらの領域中に残留しているニッケルは、勿論シリサイド状態ではなく、格子間ニッケルとして固溶した状態で存在している。

【0231】

また、この加熱処理工程で、n チャネル型 TF T のソース・ドレイン領域 424 と LDD 領域 421 にドーピングされた n 型不純物 (リン) と、p チャネル型 TF T のソース・ドレイン領域 427 にドーピングされた p 型不純物 (リン) の活性化も同時に行われる。その結果、n チャネル型 TF T のソース・ドレイン領域 424 のシート抵抗値は、 $400 \sim 700 \Omega / \square$ 程度となり、LDD 領域 421 のシート抵抗値は、 $30 \sim 60 \text{ k} \Omega / \square$ であった。また、p チャネル型 TF T のソース・ドレイン領域 427 のシート抵抗値は、 $1 \sim 1.5 \text{ k} \Omega / \square$ 程度であった。

【0232】

次いで、図 6 (D) に示すように、層間絶縁膜を形成する。窒化ケイ素膜、酸化ケイ素膜、または窒化酸化ケイ素膜を $400 \sim 1500 \text{ nm}$ (代表的には $600 \sim 1000 \text{ nm}$) の厚さで形成する。本実施形態では、膜厚 200 nm の窒化ケイ素膜 431 と膜厚 700 nm の酸化ケイ素膜 432 とを積層形成し、2 層構造とした。もちろん、無機層間絶縁膜としては、これに限定されるものではなく、他のシリコンを含む絶縁膜を単層または積層構造としてよい。

【0233】

さらに、 $300 \sim 500^\circ \text{C}$ で 1 時間程度の熱処理を行う。これにより、層間絶縁膜 (特に窒化ケイ素膜 431) から、活性領域およびゲート絶縁膜の界面へ水素原子が供給され、TF T 特性を劣化させる不対結合手 (ダングリングボンド)

を終端化し不活性化する。本実施形態では、窒素雰囲気下で 4 1 0 ℃、1 時間の熱処理を行った。

【0 2 3 4】

次に、層間絶縁膜にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によって T F T の電極・配線 4 3 3 を形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設けられる。そして最後に、3 5 0 ℃、1 時間のアニールを行い、図 6 (D) に示す n チャネル型 T F T 4 3 4 と p チャネル型 T F T 4 3 5 とを完成させる。さらに必要に応じて、ゲート電極 4 1 7 n および 4 1 7 p の上にもコンタクトホールを設けて、配線 4 3 3 により必要な電極間を接続する。また、T F T を保護する目的で、それぞれの T F T 上に窒化ケイ素膜などからなる保護膜を設けてもよい。

【0 2 3 5】

以上の実施形態にしたがって作製したそれぞれの T F T の電界効果移動度は、第 3 実施形態と同様の良好な特性を示す。

【0 2 3 6】

さらに、本実施形態では、第 1 あるいは第 2 実施形態に比べ、n チャネル型 T F T と p チャネル型 T F T とにおいて、それぞれのソース・ドレイン領域形成工程を利用して、同時にゲッタリング領域を形成することができる。したがって、ゲッタリングのための付加工程（フォトリソ工程、ドーピング工程、アニール工程）が全くなくなる。その結果、製造工程を簡略化でき、半導体装置の製造コストを低減と良品率の向上が図れた。

【0 2 3 7】

(第 5 実施形態)

本発明の第 5 の実施形態を図 7、図 8 を用いて説明する。本実施形態でも、n チャネル型 T F T および p チャネル型 T F T を同一基板上に作製する方法について説明する。

【0 2 3 8】

ガラス基板 5 0 1 上に膜厚 5 0 n m の窒化ケイ素膜からなる第 1 下地絶縁膜 5

02を形成し、続けて膜厚100nmの酸化ケイ素膜からなる第2下地絶縁膜503を形成する。さらに膜厚20~100nm、例えば50nmのa-Si膜504を形成する。

【0239】

続いて、a-Si膜504に触媒元素を添加し、加熱処理を行う。非晶質ケイ素膜に対して、重量換算で10ppmの触媒元素（本実施形態ではニッケル）を含む水溶液（酢酸ニッケル水溶液）をスピコート法で塗布して、触媒元素含有層505を形成する。この状態が図7（A）に相当する。

【0240】

次に、これを不活性雰囲気下、例えば窒素雰囲気にて第1の加熱処理を行う。このときの加熱処理としては520~600℃で1~8時間のアニール処理を行う。本実施形態では、一例として550℃にて4時間の加熱処理を行った。この加熱処理において、a-Si膜表面に添加されたニッケル505のシリサイド化が起こり、それを核としてa-Si膜504の結晶化が進行する。その結果、図7（B）に示すように、a-Si膜504は結晶化され、結晶質ケイ素膜504aとなる。

【0241】

続いて、図7（C）に示すように、加熱処理により得られた結晶質ケイ素膜504aにレーザー光を照射して、結晶性を向上させた結晶質ケイ素膜504bを形成する。このレーザー光照射により結晶質シリコン膜504bの結晶性は大幅に改善されている。本実施形態でも、レーザー光は、パルス発振型のXeClエキシマレーザー（波長308nm）を適用した。

【0242】

続いて、結晶質ケイ素膜を所定の形状にエッチングして、後のnチャネル型TFETの活性領域515nとpチャネル型TFETの活性領域515pとを形成する。

【0243】

次に、図7（D）に示すように、TFETの活性領域となる島状の結晶質ケイ素膜515n、515pの表面をフッ化水素を含む酸506に晒すことで、第1の

ゲッタリング工程を行う。本実施形態では、1%のフッ化水素酸溶液を用い、その溶液中に基板全体を浸すディッピング法により、上記の工程を行った。このような濃度のフッ化水素酸の場合、処理時間は60秒から180秒程度であることが望ましく、本実施形態では90秒で処理を行った。またフッ化水素酸にディッピングした後は、純水で置換・洗浄し、スピン乾燥を行った。上記の工程により、フッ化水素酸506により、島状の結晶質ケイ素膜中で局在しているNiシリサイド（特に大きな塊のものやNiSi₂組成のもの）が選択的にエッチング除去され、後のTFET活性領域515n、515pには、これらのシリサイドがエッチング除去された跡として、微小なあな507が生じる。このときのあなの直径としては0.05 μ m~0.5 μ m程度であった。尚、酸化ケイ素膜である第2下地膜503も、このとき同時にフッ化水素酸506に晒されるために膜減りが生じるが、上記条件では、その量は30nm程度であり、特に問題とはならない。

【0244】

次に、これらの活性領域515n、515pを覆うゲート絶縁膜516を形成する。フッ化水素酸による処理は、ゲート絶縁膜形成前の洗浄工程を兼ねており、第1のゲッタリング工程と同時に活性領域515n、515p表面の自然酸化膜が除去される。続いて、ゲート絶縁膜516上に導電膜をスパッタ法またはCVD法などを用いて形成する。導電膜としては高融点金属のW、Ta、Ti、Moまたはその合金材料のいずれかを用いればよい。次に、図7（E）に示すように、導電膜をエッチングしてゲート電極517nと517pとを形成する。

【0245】

次に、イオンドーピング法によって、ゲート電極517nと517pをマスクとして活性領域に低濃度のn型不純物（リン）519を注入する。本実施形態では、ドーピングガスとしてフォスフィン（PH₃）を用い、加速電圧を80kV、ドーズ量を $2 \times 10^{13} \text{ cm}^{-2}$ とした。この工程により島状のケイ素膜515nと515pにおいて、ゲート電極517nと517pに覆われていない領域は低濃度のリン519が注入された領域521となり、ゲート電極517n、517pにマスクされ不純物519が注入されない領域は、後にnチャネル型TFETと

pチャネル型TF Tのチャネル領域520nと520pとなる。この状態が図7(E)に相当する。

【0246】

次いで、図7(F)に示すように、nチャネル型TF Tの活性領域515nにおいてはゲート電極517nを一回り大きく覆うように、またpチャネル型TF Tの活性領域515pにおいてはその活性領域全体を覆うように、フォトリジストによるドーピングマスク522を設ける。その後、イオンドーピング法によって、レジストマスク522をマスクとして活性領域に不純物(リン)523を高濃度に注入する。本実施形態では、ドーピングガスとしてフォスフィン(PH_3)を用い、加速電圧を80kV、ドーズ量を $5 \times 10^{15} \text{ cm}^{-2}$ とした。この工程により、後にnチャネル型TF Tにおいては、高濃度($1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度)にリン523が注入された領域524は、後にnチャネル型TF Tのソース/ドレイン領域となる。活性領域515nにおいて、レジストマスク522に覆われ、高濃度のリン523がドーピングされなかった領域は、低濃度にリンが注入された領域として残り、LDD(Lightly Doped Drain)領域521を形成する。後にpチャネル型TF Tにおいては、その活性領域515pにリンの注入は全く行なわれない。

【0247】

次に、レジストマスク522を除去した後、図8(A)に示すように、後のnチャネル型TF Tの活性領域515n全体を覆うようにフォトリジストによるドーピングマスク525を設ける。このとき、後のpチャネル型TF Tの活性領域515p上にはマスクは設けられず、TF T全体が露呈されている。この状態で、イオンドーピング法によって、レジストマスク525と後のpチャネル型TF Tのゲート電極517pをマスクとして、活性領域にp型を付与する不純物(ホウ素)526を注入する。ドーピングガスとして、ジボラン(B_2H_6)を用い、加速電圧を65kVとし、ドーズ量は $7 \times 10^{16} \text{ cm}^{-2}$ とした。この工程により、後にpチャネル型TF Tの活性領域515pにおいては、ゲート電極517p下部のチャネル領域520p以外に高濃度にホウ素526が注入され、先の工程で低濃度に注入されているn型不純物のリン519を反転させp型となり、後に

pチャネル型TF Tのソース／ドレイン領域527となる。

【0248】

次いで、レジストマスク525を除去した後、図8(B)に示すように、また新たに、後のnチャネル型TF Tのゲート電極517nと後のpチャネル型TF Tのゲート電極517pを覆うように、レジストからなるマスク529を形成する。このときのマスク529により、後のnチャネル型TF Tおよびpチャネル型TF Tの活性領域515n、515pの一部(外縁部)が露呈される。この状態で、基板上方より希ガス元素(本実施形態ではAr)530を全面にイオンドーピングする。この工程により、TF T活性領域の露呈している領域に希ガス元素530が注入され、nチャネル型TF Tおよびpチャネル型TF Tの活性領域515n、515pの外縁部にゲッタリング領域528n、528pが形成される。このときのアルゴン530のドーピング条件としては、ドーピングガスとしては100%のArを用い、加速電圧を60~90kV、例えば80kVとし、ドーズ量としては $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $3 \times 10^{15} \text{ cm}^{-2}$ とした。マスク529によって覆われている領域には、希ガス元素はドーピングされない。このときの希ガス元素としては、Ar、Kr、Xeから選ばれた一種または複数種類の希ガス元素が利用することができる。また、この工程において、ゲッタリング領域528中の希ガス元素の濃度は、 $1 \times 10^{19} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。また、この工程により、ゲッタリング領域528の結晶性は破壊され、非晶質化される。

【0249】

次に、レジストマスク529を除去した後、これを不活性雰囲気下、例えば窒素雰囲気にて第2の加熱処理を行う。本実施形態では、RTA(Rapid Thermal Annealing)により行った。窒素雰囲気中にて、基板表面に高温の窒素ガスを吹き付け、瞬時に昇降温を行う方式のRTA装置を用いた。具体的な処理条件としては、保持温度550~750℃の範囲で、保持時間30秒~15分程度、より好ましくは保持温度600~700℃の範囲で、保持時間1分~10分程度である。本実施形態では、670℃で5分のRTA処理を行った。昇温速度および降温速度としては、共に100℃/分以上で行うことが好

ましく、実施形態では、 $200^{\circ}\text{C}/\text{分}$ 程度とした。各TFTの活性領域において、ソース・ドレイン領域の外側に形成されたゲッタリング領域528に高濃度にドーピングされているアルゴン530とそのドーピング時に非晶質化されたことにより生じた結晶欠陥とが、ニッケルに対する偏析サイトを形成しゲッタリング作用を生じさせる。その結果、この熱処理工程で、図8(C)に示すように、後のnチャネル型TFTの活性領域515nにおいては、チャネル領域520n、LDD領域521およびソース・ドレイン領域524に存在しているニッケルを、チャネル領域からLDD領域、さらにソース・ドレイン領域、そしてゲッタリング領域528nへと、矢印514で示される方向に移動させる。また、後のpチャネル型TFTの活性領域515pにおいても、チャネル領域520p、ソース・ドレイン領域527に存在しているニッケルを、チャネル領域からソース・ドレイン領域、そしてゲッタリング領域528pへと、同様に矢印514で示される方向に移動させる。

【0250】

この第2のゲッタリング工程では、まず、チャネル領域520やLDD領域521、ソース・ドレイン領域524、527に固溶しているニッケルがゲッタリング領域528に移動することで、これらの領域中のニッケル濃度が下がり、そこに残存していたNiシリサイド（特に小さな塊のものやNiSiやNi₂Si等の低級組成のもの）が、さらに固溶し出す。これらも固溶状態でゲッタリング領域528に移動していき、最終的に、第1のゲッタリング工程で除去できなかった小さな塊のNiSi₂やNiSiやNi₂Si等の低級組成のシリサイドも完全に除去され、固溶状態のニッケルの濃度も低減される。この加熱処理工程により、ゲッタリング領域にはニッケルが移動してくるため、ゲッタリング領域528n、528pにおけるニッケル濃度は、 $1 \times 10^{19}/\text{cm}^3$ 以上となる。TFT活性領域のチャネル領域や、チャネル領域とソース・ドレイン領域との接合部、またLDD領域との接合部においては、ニッケル濃度は、二次イオン質量分析法(SIMS)により測定したところ $5 \times 10^{15} \text{ atoms}/\text{cm}^3$ 程度であり、ほぼ測定下限レベルであった。また、ここでこれらの領域中に残留しているニッケルは、勿論シリサイド状態では無く、格子間ニッケルとして固溶した状態で

存在している。

【0251】

また、この加熱処理工程で、nチャネル型TF Tのソース・ドレイン領域524とLDD領域521にドーピングされたn型不純物（リン）と、pチャネル型TF Tのソース・ドレイン領域527にドーピングされたp型不純物（ホウ素）の活性化も同時に行われる。その結果、nチャネル型TF Tのソース・ドレイン領域524のシート抵抗値は、 $400 \sim 700 \Omega/\square$ 程度となり、LDD領域521のシート抵抗値は、 $30 \sim 60 k\Omega/\square$ であった。また、pチャネル型TF Tのソース・ドレイン領域527のシート抵抗値は、 $1 \sim 1.5 k\Omega/\square$ 程度であった。本実施形態では、nチャネル型TF Tおよびpチャネル型TF Tの活性領域において、ソース領域またはドレイン領域とは別の領域にゲッタリング領域を形成するため、希ガス元素の導入に伴う非晶質化によりTF Tのソース領域またはドレイン領域において抵抗が上がっても問題とならない。

【0252】

この工程後に、レーザーラマン分光法により、それぞれのTF Tのチャネル領域とゲッタリング領域のラマン分光スペクトルにおける非晶質SiのTOフォノンピークPaと結晶SiのTOフォノンピークPcとの比Pa/Pcを測定すると、ゲッタリング領域の方がチャネル領域より大きくなっている。この測定は、本実施形態のように透光性のあるガラス基板などを用いる場合には、基板裏面側より行うことができる。また、この加熱処理工程後、これ以上の高温工程は行わないため、この状態はTF T完成後も維持される。

【0253】

次いで、図8（D）に示すように、層間絶縁膜を形成する。本実施形態では、膜厚200nmの窒化ケイ素膜531と膜厚700nmの酸化ケイ素膜532とを積層形成し、2層構造とした。

【0254】

さらに、 $300 \sim 500^\circ\text{C}$ で1時間程度の熱処理を行う。これにより、層間絶縁膜（特に窒化ケイ素膜531）から、活性領域およびゲート絶縁膜の界面へ水素原子が供給され、TF T特性を劣化させる不對結合手（ダングリングボンド）

を終端化し不活性化する。

【0255】

次に、層間絶縁膜にコンタクトホールを形成して、金属材料によってTF Tの電極・配線533を形成し、図8 (D) に示すnチャネル型TF T534とpチャネル型TF T535とを完成させる。さらに必要に応じて、ゲート電極517n、517pの上にもコンタクトホールを設けて、配線533により必要な電極間を接続する。

【0256】

以上の実施形態にしたがって作製したそれぞれのTF Tの電界効果移動度は、第3及び第4実施形態と同様の良好な特性を示した。

【0257】

(第6実施形態)

本実施形態では、第1～第5の実施形態とは異なる結晶化方法について説明する。説明には図9を用いる。図9は、本実施形態での作製工程を示す断面図であり、(A) から (E) にしたがって作製工程が順次進行する。

【0258】

まず、第1～第5の実施形態と同様に、基板（本実施形態ではガラス基板）601上に、基板からの不純物拡散を防ぐために、酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜などの下地膜を形成する。本実施形態では、窒化ケイ素膜を下層の第1下地膜602として成膜し、その上に酸化ケイ素膜を第2の下地膜603を積層形成した。このときの第1下地膜602の酸化窒化ケイ素膜の膜厚は、例えば100nmとし、第2下地膜603の酸化窒化ケイ素膜の膜厚としては、例えば100nmとした。次に、30～80nmの厚さでa-Si膜604を、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施形態では、プラズマCVD法で非晶質ケイ素膜を50nmの厚さに形成した。この工程は下地絶縁膜と非晶質半導体膜を大気解放しないで連続的に形成しても構わない。

【0259】

次に、酸化ケイ素膜でなるマスク絶縁膜605を200nmの厚さに形成する

。マスク絶縁膜は、図9（A）に示すように、半導体膜に触媒元素を添加するための開口部600を有している。

【0260】

次に、図9（B）に示すように、重量換算で100ppmの触媒元素（本実施形態ではニッケル）を含む水溶液（酢酸ニッケル水溶液）をスピコート法で塗布して、触媒元素層606を形成する。この時、触媒元素606は、マスク絶縁膜605の開口部600において、選択的にa-Si膜604に接触して、触媒元素添加領域が形成される。ここで使用可能な触媒元素は、鉄（Fe）、ニッケル（Ni）、コバルト（Co）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）、銅（Cu）、金（Au）から選ばれた一種または複数の元素である。

【0261】

また、本実施形態ではスピコート法でニッケルを添加する方法を用いたが、蒸着法やスパッタ法などにより触媒元素でなる薄膜（本実施形態の場合はニッケル膜）をa-Si膜上に形成する手段をとっても良い。

【0262】

次に、500～650℃（好ましくは550～600℃）で6～20時間（好ましくは8～15時間）の加熱処理を行う。本実施形態では、570℃で14時間の加熱処理を行う。その結果、図9（C）に示すように、触媒元素添加領域600に結晶核が発生し、領域600のa-Si膜がまず結晶化され、結晶質ケイ素膜604aとなる。さらに結晶化領域を起点として概略基板と平行な方向（矢印607で示した方向）に結晶化が進行し、巨視的な結晶成長方向が揃った結晶質ケイ素膜604bが形成される。このとき、マスク605上に存在するニッケル606は、マスク膜605に阻まれ、下層のa-Si膜へは到達せず、領域600において導入されたニッケルのみによりa-Si膜604の結晶化が行われる。また、横方向への結晶成長が到達しない領域は非晶質領域604cとして残る。但し、レイアウトによっては、隣接した開口部より横方向に結晶成長した領域とぶつかり合って境界が生じる場合もあり、この場合は非晶質領域とはならない。

【0263】

マスクとして用いた酸化ケイ素膜 605 を除去した後、得られた結晶質シリコン膜には、図 9 (D) で示すようにレーザー光を照射して、第 1 ～第 5 の実施形態と同様に、結晶性の改善を行ってもよい。これにより、横方向に結晶成長した領域 604 b の結晶質ケイ素膜は、より高品質化され、結晶質ケイ素膜 604 d となる。

【0264】

続いて、横方向に結晶成長した領域 604 d の結晶質ケイ素膜を所定の形状にエッチングして、後の T F T の活性領域 609 を形成する。

【0265】

このような本実施形態で示した結晶化方法を第 1 ～第 5 の実施形態における結晶化工程に適応することで、より電流駆動能力の高い高性能な T F T を実現することができる。ここで、結晶質ケイ素膜表面をフッ化水素を含む酸に晒す第 1 のゲッタリング工程は、第 1 及び第 4 の実施形態のようにレーザー 608 の照射工程前（本実施形態では図 9 (D) の工程前）に行なっても良いし、第 2 及び第 3 実施形態のようにレーザー照射工程後（図 9 (D) の工程後）に行なってもよい。また、第 5 実施形態のように、活性化領域 609 の形成後に行なってもよい。

【0266】

（第 7 実施形態）

本実施形態では、図 10、図 11 を用いて、第 4 あるいは第 5 の実施形態で示した半導体膜の結晶化に用いた触媒元素を移動させるためのゲッタリング領域の活性領域中での配置例を示す。

【0267】

本実施形態を第 4 あるいは第 5 実施形態の T F T 作製工程に適用することにより、n チャネル型 T F T および p チャネル型 T F T の活性領域に様々な形状のゲッタリング領域を形成することが可能である。また、n チャネル型 T F T の活性領域におけるゲッタリング領域と p チャネル型 T F T の活性領域におけるゲッタリング領域との面積を概略等しくし、ゲッタリング領域からチャネル領域までの距離を概略等しくすることで、さらに、n チャネル型 T F T と p チャネル型 T F

Tとの触媒元素に対するゲッターリングの効率を揃えるという効果を向上させることができる。以下に、活性領域に形成されるゲッターリング領域の形状の例を示す。なお、nチャンネル型T F Tの活性領域におけるゲッターリング領域とpチャンネル型T F Tの活性領域におけるゲッターリング領域との面積を概略等しくするとは、それぞれのT F Tにおいて、活性領域（チャンネル領域）の幅をW、ゲッターリング領域の面積Sとしたとき、活性領域（チャンネル領域）の幅Wおよびゲッターリング領域の面積Sの比 S/W がnチャンネル型T F Tおよびpチャンネル型T F Tにおいて概略等しくすることである。

【0 2 6 8】

図10（A）は、ゲッターリング領域73 a、74 aが、ゲート電極75 a下部の活性領域に形成されるチャンネル領域から離れた位置（活性領域の外縁部）に、ゲート電極75 aと平行方向を長辺とする長形状で、上記の長方形のコーナー部が活性領域のコーナー部に掛かる様に配置された例である。

【0 2 6 9】

また、図10（B）は、ゲッターリング領域73 b、74 bがゲート電極75 b下部の活性領域に形成されるチャンネル領域から離れた位置（半活性領域の外縁部）に、ゲート電極75 bと垂直方向を長辺とする長形状で、上記の長方形のコーナー部が活性領域のコーナー部に掛かる様に配置された例である。

【0 2 7 0】

また、図10（C）は、ゲッターリング領域73 c、74 cがゲート電極75 c下部の活性領域に形成されるチャンネル領域から離れた位置に（活性領域の外縁部）、ゲート電極75 cと平行方向を長辺とする長方形と垂直方向を長辺とする長方形を組み合わせてできた複雑な形状で、上記の形状のコーナー部が活性領域のコーナー部に掛かる様に配置された例である。この場合は、図10（A）または図10（B）と比較して、ゲッターリング領域の面積を大きくすることができ、触媒元素に対するゲッターリング効率をより高められる。

【0 2 7 1】

上記の何れの配置例に於いても、ゲッターリング領域は、ソース領域またはドレイン領域にそれぞれ形成されるコンタクト部（各T F Tを電氣的に接続する配線

が活性領域と接続される部分を本明細書において、コンタクト部という)の間を流れる電流を妨げない位置に配置されている。即ち、図10(A)のゲッタリング領域73a、74aは、ソース領域71aに形成されているコンタクト部76aとドレイン領域72aに形成されているコンタクト部77aの間を流れる電流を妨げない位置に配置されている。

【0272】

また、図10(B)のゲッタリング領域73b、74bは、ソース領域71bに接続しているコンタクト部76bとドレイン領域72bに形成されているコンタクト部77bの間を流れる電流を妨げない位置に配置されている。

【0273】

また、図10(C)のゲッタリング領域73c、74cは、ソース領域71cに形成されているコンタクト部76cとドレイン領域72cに形成されているコンタクト部77cの間を流れる電流を妨げない位置に配置されている。

【0274】

また、図10(D)は、基本的に図10(C)と同じ配置例であるが、ゲッタリング領域73d、74dのゲッタリング効率拡大の為、ゲッタリング領域73d、74dの更なる面積拡大が図られ、ゲッタリング領域73dがコンタクト部76dの一部に掛かった例である。基本的に、ゲッタリング領域73d、74dがコンタクト部76d、77dの一部に掛かっても問題ないが、重なる面積が最大でもコンタクト部76d、77dの半分以下になる様に、留意する必要がある。従って、コンタクト部76d、77dとゲッタリング領域73d、74dとの間の設計距離は、各々の領域形成に対応するフォトリソグラフィ工程で使用する露光装置のアライメント精度を考慮して、好適な設計距離を決める必要がある。尚、ゲッタリング領域を設ける位置は、本実施形態の構成に限定されるものではなく、ソース領域とドレイン領域の間を流れる電流に影響を与えない(阻害しない)位置であれば任意の場所に設けても良い。

【0275】

また、図11(E)は、活性領域を複数のゲート電極75eが横切り、その下部に複数のチャネル領域が形成される。また、複数のゲート電極の間には、ソー

ス領域 71e (またはドレイン領域 72e)、ゲッタリング領域 78e、コンタクト部 79e が形成されている。なお、活性領域の外縁部には図 10 (A) ~ (D) と同様にゲッタリング領域 73e、74e が形成され、その内側にソース領域 71e またはドレイン領域 72e およびコンタクト部 76e、77e が形成されている。図 11 (E) に示した場合も、ゲッタリング領域 73e がコンタクト部 76e の一部に掛かっても構わないが、基本的に、重なる面積が最大でもコンタクト部 76e、77e の半分以下になる様に、留意する必要がある。

【0276】

また、図 11 (F) も、活性領域を複数のゲート電極 75f が横切り、その下部に複数のチャンネル領域が形成される例である。図 11 (F) では、2つの TFT が活性領域を共有して直列に連結されており、その連結部においてコンタクト部を有しない、すなわち、連結部から電気信号を取り出す必要が無い場合の配置である。このような構成の TFT は、クロックインバータやラッチ回路等の回路で実際に使用される。複数のゲート電極の間には、ソース領域 71f (またはドレイン領域 72f)、ゲッタリング領域 78f が形成されている。なお、活性領域の外縁部には図 10 (A) ~ (D) と同様にゲッタリング領域 73f、74f が形成され、その内側にソース領域 71f またはドレイン領域 72f およびコンタクト部 76f、77f が形成されている。連結部の領域において、ゲッタリング領域 78f が、コンタクト部 76f からコンタクト部 77f へと流れる電流を少なくとも妨げない位置に配置されている。

【0277】

なお、TFT の活性領域の形状は、その TFT に要求される電流量により異なる。図 10 及び図 11 のようにソース・ドレイン領域とチャンネル領域の幅が同一であるずん胴形となっている場合と、ソース・ドレイン領域よりもチャンネル領域の幅が狭められ、くさび形となっている場合とがあるが、どちらの場合も同様に本発明を適用できる。

【0278】

また、どのような形状のゲッタリング領域を適用しても、ゲッタリングのための加熱処理により、ゲッタリング領域には触媒元素が移動してくるため、触媒元

素が、 $1 \times 10^{19} / \text{cm}^3$ 以上の濃度となる。

【0279】

本実施形態は、第4実施形態あるいは第5実施形態に組み合わせて適用することができる。

【0280】

(第8実施形態)

本発明を用いて作製された半導体装置におけるブロック図を図12に示す。なお、図12(A)には、アナログ駆動を行うための回路構成が示されている。本実施形態は、ソース側駆動回路80、画素部81およびゲート側駆動回路82を有している半導体装置について示している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称を指している。

【0281】

ソース側駆動回路80は、シフトレジスタ80a、バッファ80b、サンプリング回路(トランスファゲート)80cを設けている。また、ゲート側駆動回路82は、シフトレジスタ82a、レベルシフタ82b、バッファ82cを設けている。また、必要であればサンプリング回路とシフトレジスタとの間にレベルシフタ回路を設けてもよい。

【0282】

また、本実施形態において、画素部81は複数の画素からなり、その複数の画素各々がTFTを含んでいる。

【0283】

なお、図示していないが、画素部81を挟んでゲート側駆動回路82の反対側にさらにゲート側駆動回路を設けても良い。

【0284】

また、図12(B)には、デジタル駆動を行うための回路構成が示されている。本実施形態は、ソース側駆動回路83、画素部84およびゲート側駆動回路85を有している半導体装置について示している。デジタル駆動させる場合は、図12(B)に示すように、サンプリング回路の代わりにラッチ(A)83b、ラッチ(B)83cを設ければよい。ソース側駆動回路83は、シフトレジスタ8

3 a、ラッチ (A) 83 b、ラッチ (B) 83 c、D/Aコンバータ83 d、バッファ83 eを設けている。また、ゲート側駆動回路85は、シフトレジスタ85 a、レベルシフタ85 b、バッファ85 cを設けている。また、必要であればラッチ (B) 83 cとD/Aコンバータ83 dとの間にレベルシフタ回路を設けてもよい。

【0285】

なお、上記構成は、前述の実施形態1～7に示した製造工程に従って実現することができる。また、本実施形態では画素部と駆動回路の構成のみ示しているが、本発明の製造工程に従えば、メモリやマイクロプロセッサをも形成しうる。

【0286】

(第9実施形態)

本発明を実施して形成されたCMOS回路や画素部はアクティブマトリクス型液晶表示装置に用いることができる。即ち、それら液晶表示装置を表示部に組み込んだ電機機器全てに本発明を実施できる。

【0287】

その様な電機機器としては、ビデオカメラ、デジタルカメラ、プロジェクター (リア型またはフロント型)、ヘッドマウントディスプレイ (ゴーグル型ディスプレイ)、パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話または電子書籍等) などが挙げられる。

【0288】

本発明を適用することにより、触媒元素を用いた良好な結晶性を有する結晶質ケイ素膜を形成することができ、さらに十分に触媒元素をゲッタリングできるため、nチャネル型TF Tとpチャネル型TF Tとの特性を向上させ、信頼性の高い、安定した回路特性の、良好なCMOS駆動回路を実現することができる。また、オフ動作時のリーク電流が問題となる画素におけるスイッチングTF Tや、アナログスイッチ部のサンプリング回路のTF T等でも、触媒元素の偏析によると考えられるリーク電流の発生を十分に抑制することができる。その結果、表示ムラのない良好な表示が可能になる。また表示ムラがない良好な表示であるため、光源を必要以上に使用する必要がなく無駄な消費電力を低減することができ、

低消費電力化も可能な電機機器（携帯電話、携帯書籍、ディスプレイ）を実現することができる。

【0289】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電機機器に適用することが可能である。また、本実施形態の電機機器は実施形態、実施形態を組み合わせで作製された表示装置を用いて実現することができる。

【0290】

以上、本発明の実施形態について具体的に説明したが、本発明は上述の実施形態に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0291】

例えば、前述の実施形態においては、第1のゲッタリング工程として、フッ化水素酸によるエッチング除去を行ったが、それ以外の方法を用いて、触媒元素の半導体化合物、特に大きな塊のものや高級組成のものを取り除いてもよい。

【0292】

また、ニッケルを導入する方法としては、非晶質ケイ素膜表面をニッケル塩を溶かした溶液を塗布する方法を採用したが、非晶質ケイ素膜成膜前に下地膜表面にニッケルを導入し、非晶質ケイ素膜下層よりニッケルを拡散させ結晶成長を行わせる方法でもよい。また、ニッケルの導入方法としても、その他、様々な手法を用いることができる。例えば、ニッケル塩を溶かせる溶媒としてSOG（スピノングラス）材料を用い、SiO₂膜より拡散させる方法もある。また、スパッタリング法や蒸着法、メッキ法により薄膜形成する方法や、イオンドーピング法により直接導入する方法なども利用できる。

【0293】

また、実施形態1～4では、第2のゲッタリング工程でリンを用いたが、それ以外にヒ素、アンチモンを利用しても良い。第5実施形態では、アルゴンをドーピングして用いたが、クリプトンやキセノンでも効果がある。

【0294】

【発明の効果】

本発明を用いることにより、触媒元素を用いて作製された良好な結晶性を有する結晶質半導体膜の素子領域、特にチャネル領域やチャネル領域とソース領域またはドレイン領域との接合部に残留する触媒元素を十分に低減することが可能になる。このような半導体膜を用いた T F T を用いれば、リーク電流の発生を抑制することができ、且つ信頼性も向上することができ、さらに、特性ばらつきも少ない安定した特性の高性能半導体素子の実現できる。さらには、ゲッタリングのための付加工程を低減することができ、製造工程の簡略化が図れる。その結果、また、その製造工程において良品率を大きく向上できると共に、半導体装置の製造コストを低減することができる。

【 0 2 9 5 】

したがって、本発明を用いることにより、高性能半導体素子の実現でき、さらに、集積度の高い高性能半導体装置が、簡便な製造プロセスにて得られる。特に液晶表示装置においては、アクティブマトリクス基板に要求される画素スイッチング T F T のスイッチング特性の向上、周辺駆動回路部を構成する T F T に要求される高性能化・高集積化を同時に満足し、同一基板上にアクティブマトリクス部と周辺駆動回路部を構成するドライバモノリシック型アクティブマトリクス基板において、モジュールのコンパクト化、高性能化、低コスト化が図れる。

【図面の簡単な説明】

【図 1】

(A) から (I) は、本発明の実施形態 1 による半導体装置の製造工程を示す模式的な断面図である。

【図 2】

(A) から (I) は、本発明の実施形態 2 による半導体装置の製造工程を示す模式的な断面図である。

【図 3】

(A) から (E) は、本発明の実施形態 3 による半導体装置の製造工程を示す模式的な断面図である。

【図 4】

(A) から (D) は、本発明の実施形態 3 による半導体装置の製造工程を示す

模式的な断面図である（図 3 の続き）。

【図 5】

(A) から (F) は、本発明の実施形態 4 による半導体装置の製造工程を示す模式的な断面図である。

【図 6】

(A) から (D) は、本発明の実施形態 4 による半導体装置の製造工程を示す模式的な断面図である（図 5 の続き）。

【図 7】

(A) から (F) は、本発明の実施形態 5 による半導体装置の製造工程を示す模式的な断面図である。

【図 8】

(A) から (D) は、本発明の実施形態 5 による半導体装置の製造工程を示す模式的な断面図である（図 7 の続き）。

【図 9】

(A) から (E) は、本発明の実施形態 6 による半導体装置の製造工程を示す模式的な断面図である。

【図 1 0】

(A) から (D) は、本発明の実施形態 7 におけるゲッタリング領域の配置例を模式的示す図である。

【図 1 1】

(A) および (B) は、本発明の実施形態 7 におけるゲッタリング領域の他の配置例を模式的示す図である。

【図 1 2】

(A) および (B) は、本発明の実施形態 8 の半導体装置の構成を模式的に示す図である。

【図 1 3】

本発明の半導体膜の製造方法におけるゲッタリングのメカニズムを説明するための模式図である。

【図 1 4】

ゲッタリングアニール時間とゲッタリング可能距離との関係を示すグラフである。

【図 1 5】

結晶化時の加熱処理温度とゲッタリング可能距離との関係を示すグラフである。

【図 1 6】

結晶化の加熱処理後、フッ化水素酸で N i シリサイドをエッチングし顕在化させた結晶質ケイ素膜の光学顕微鏡写真である。

【図 1 7】

N i シリサイドが固溶するメカニズムを説明するための模式図である。

【図 1 8】

触媒元素により結晶化されたケイ素膜の表面をフッ化水素酸で処理した際の処理時間とケイ素膜表面の N i 濃度との関係を示すグラフである。

【図 1 9】

N i を用いて結晶化したケイ素膜の N i シリサイドがエッチングされた後の状態を示す走査型電子顕微鏡 (S E M) 写真である。

【図 2 0】

(A) から (C) は、本発明によって得られる結晶質半導体膜における結晶配向の状態を説明するための図である。

【符号の説明】

1 0 1 ガラス基板

1 0 3 下地膜

1 0 4 非晶質半導体膜 (a - S i 膜)

1 0 4 a 結晶質半導体膜 (結晶質ケイ素膜)

1 0 4 b 高品質な結晶質半導体膜 (結晶質ケイ素膜)

1 0 5 触媒元素 (ニッケル)

1 0 6 フッ化水素酸

1 0 7 微細なあな (エッチピット)

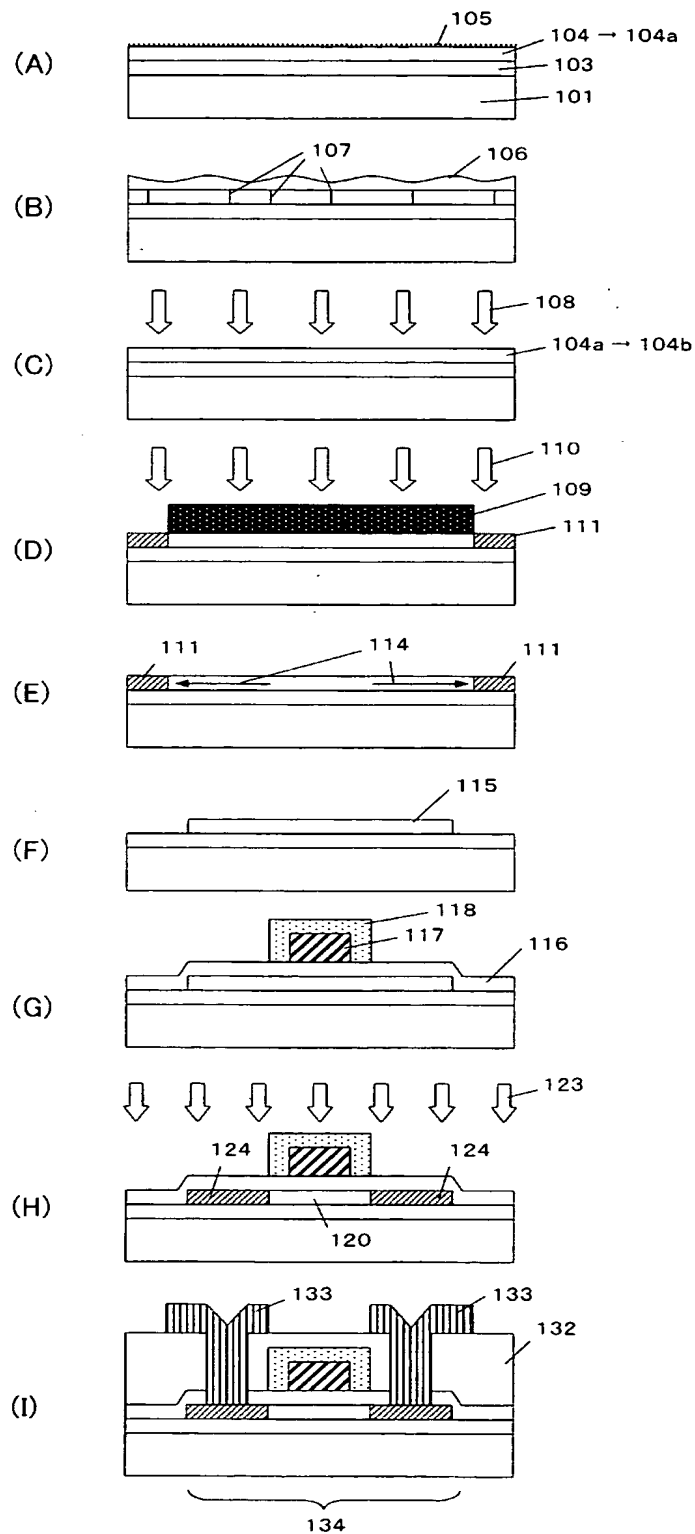
1 0 8 レーザー光

- 1 0 9 マスク
- 1 1 0 ゲッタリング元素 (リン)
- 1 1 1 ゲッタリング領域 (リンがドーピングされた領域)
- 1 1 5 結晶質ケイ素膜
- 1 1 6 ゲート絶縁膜
- 1 1 7 ゲート電極
- 1 1 8 酸化物層
- 1 2 0 不純物が注入されない領域
- 1 2 3 N型不純物 (リン)
- 1 2 4 不純物が注入された領域
- 1 3 2 層間絶縁膜
- 1 3 3 電極・配線
- 1 3 4 T F T (半導体素子)

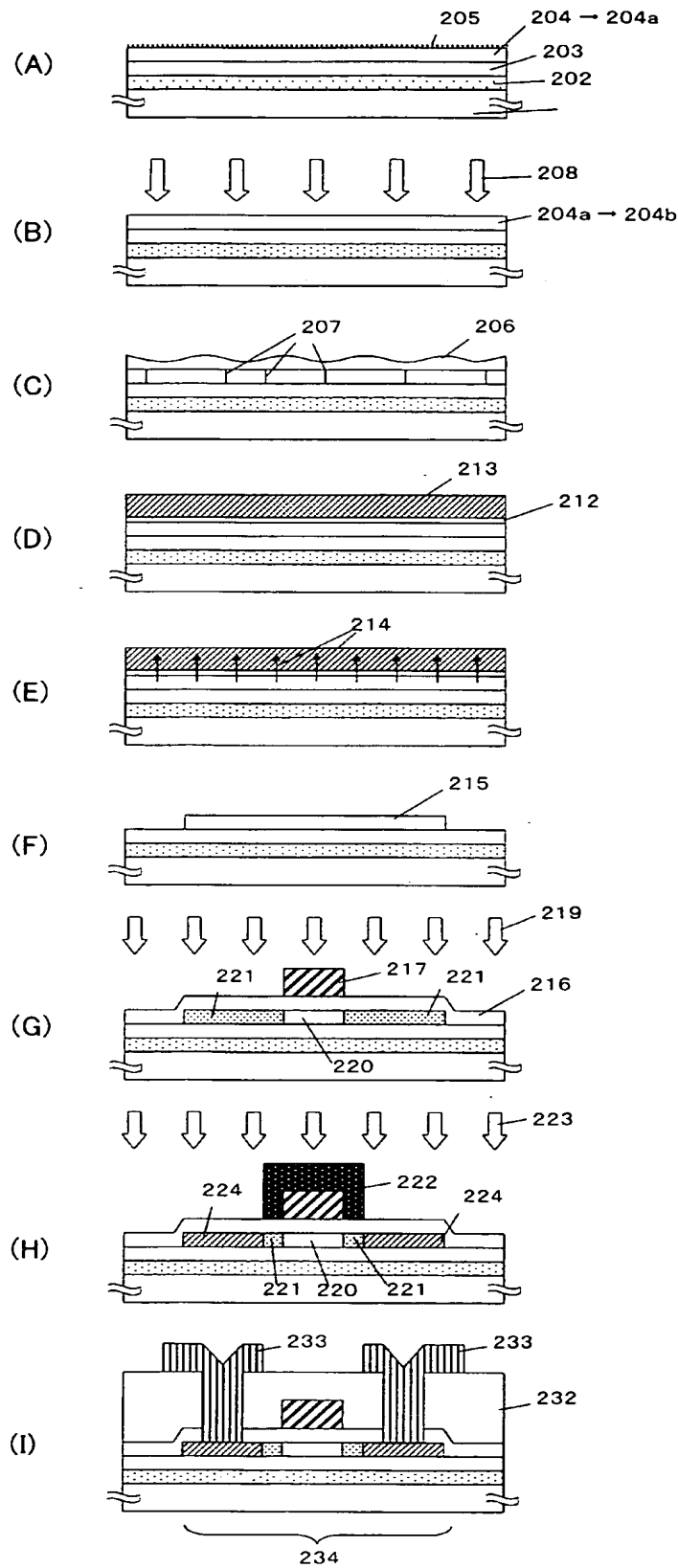
【書類名】

図面

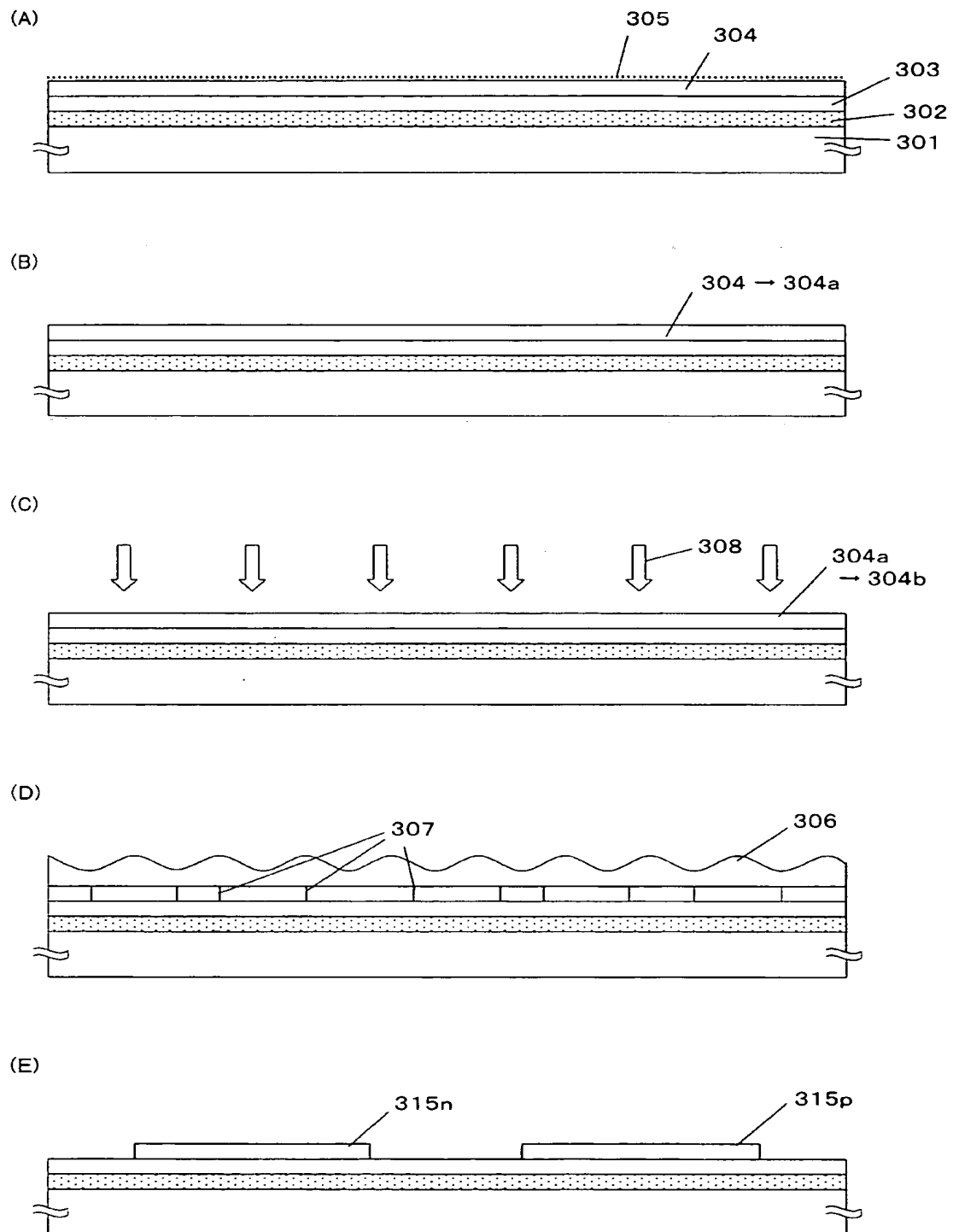
【図 1】



【図 2】

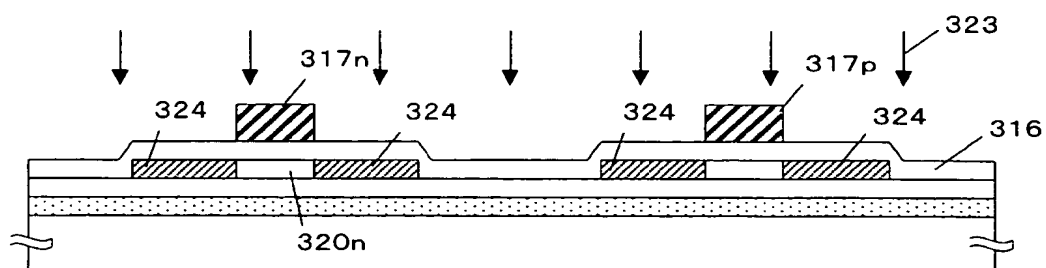


【図 3】

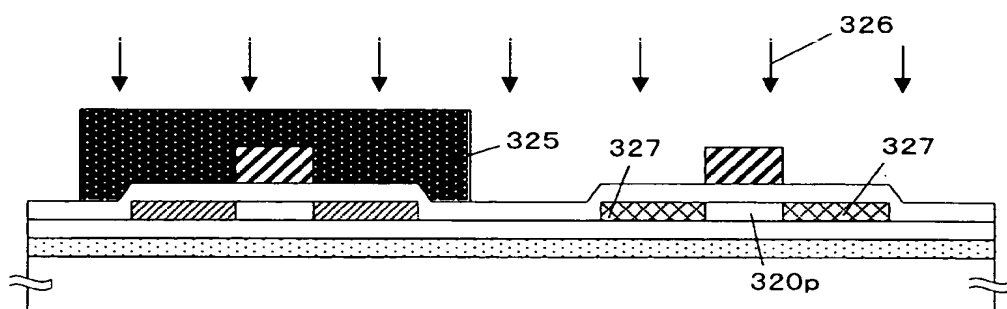


【図 4】

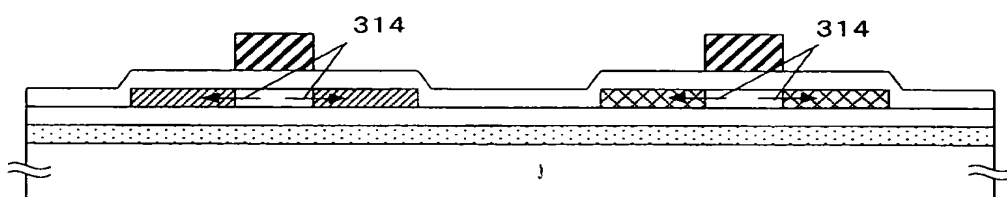
(A)



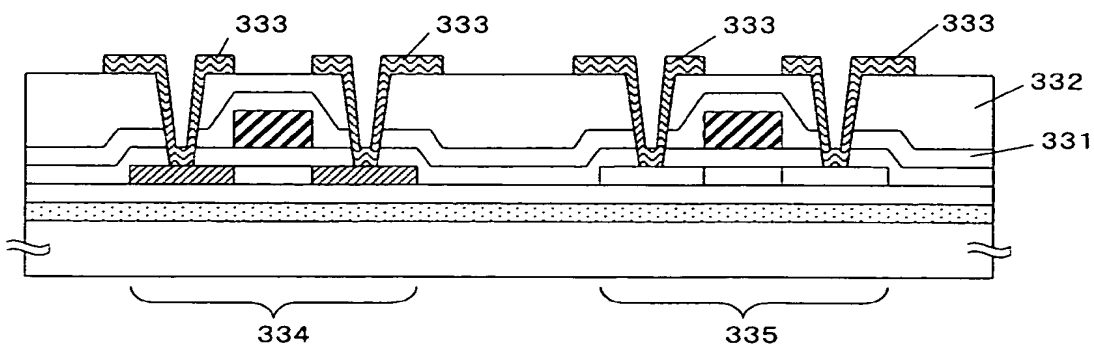
(B)



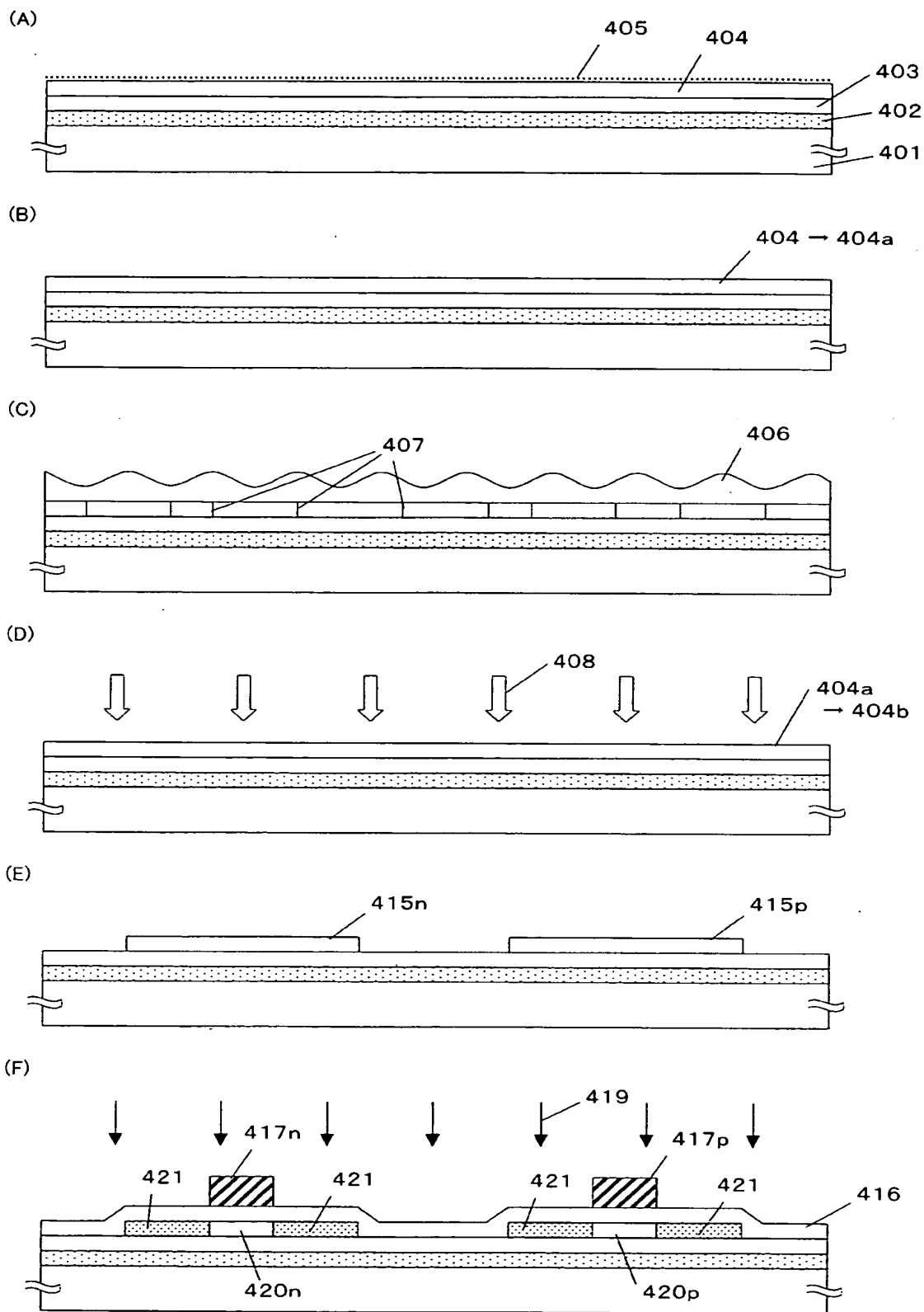
(C)



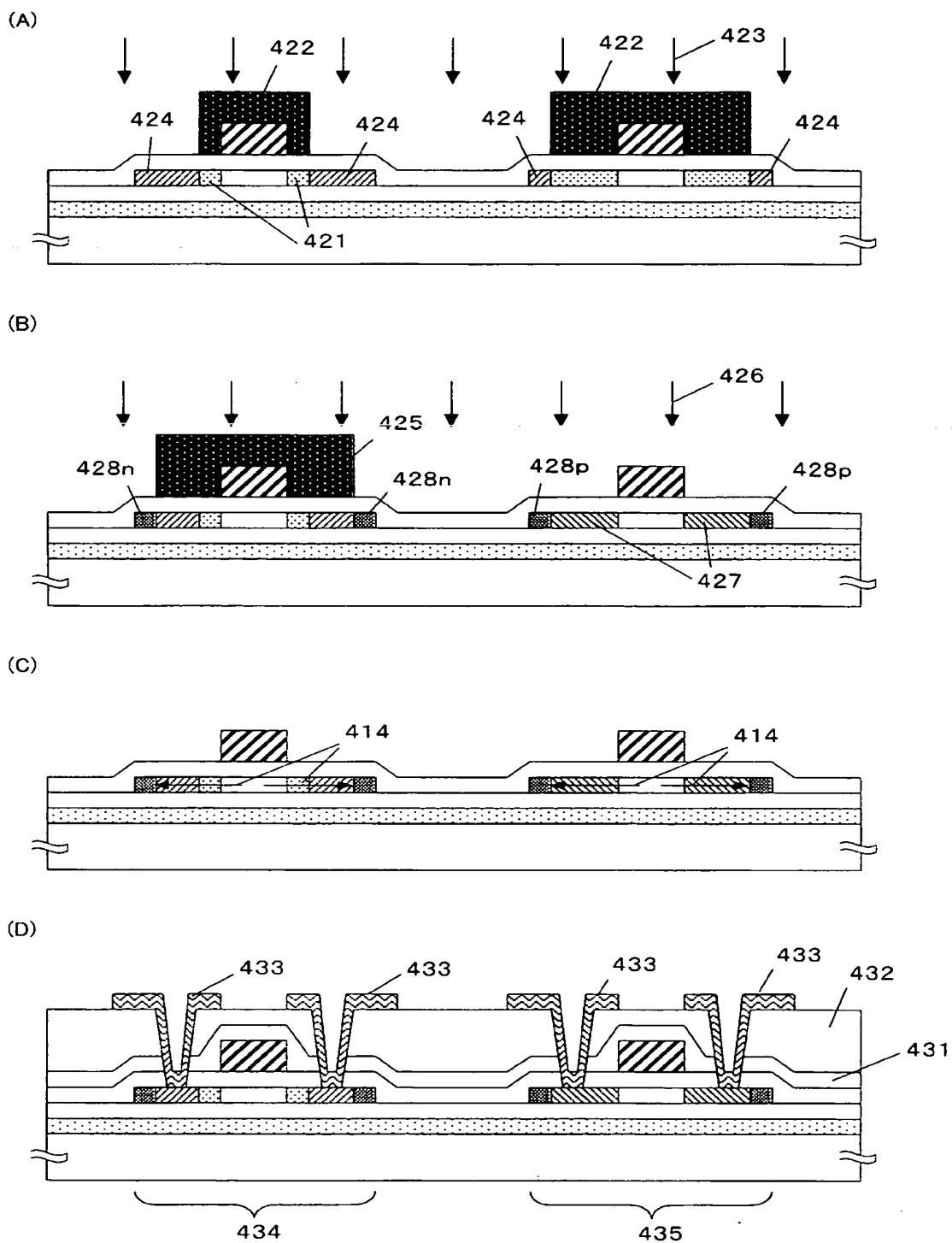
(D)



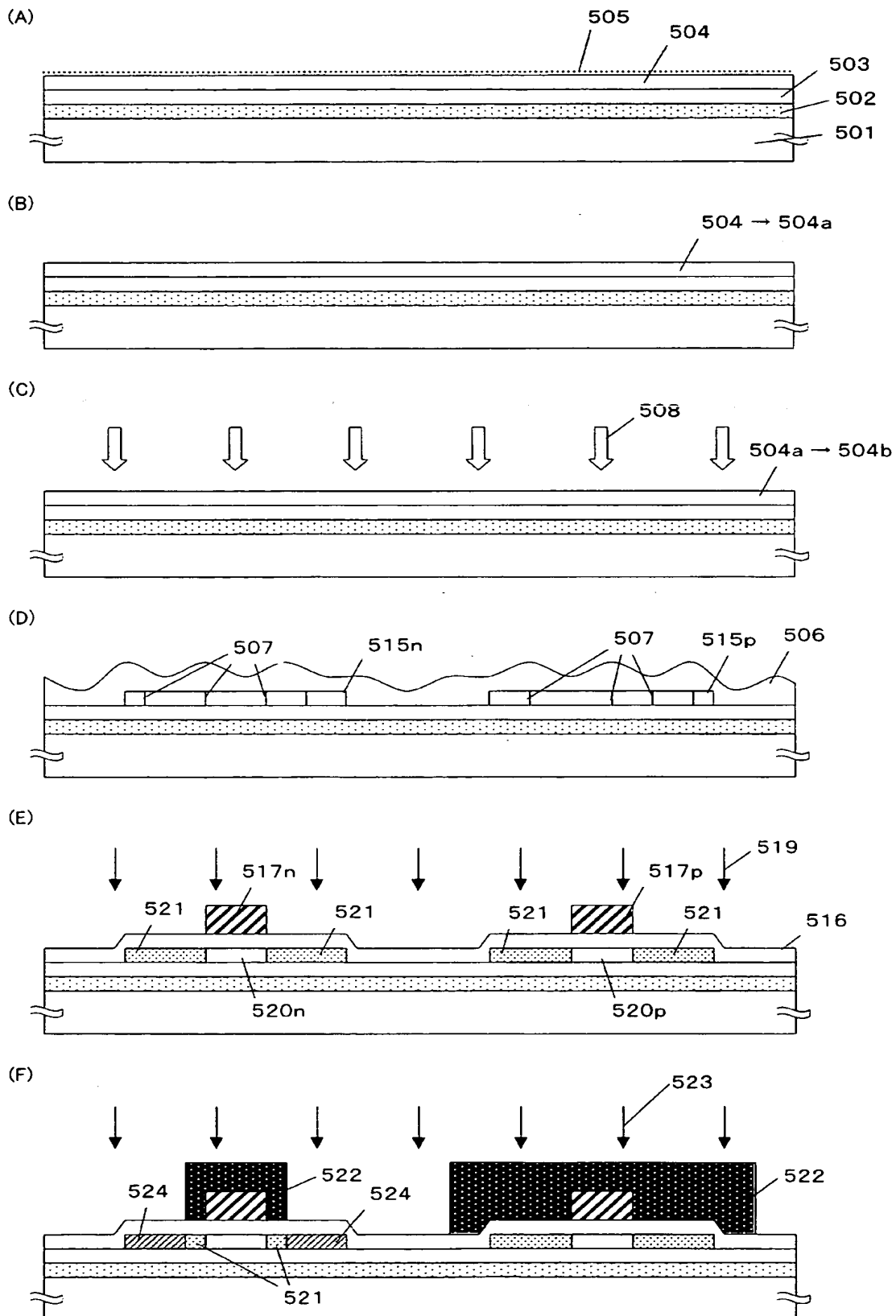
【図 5】



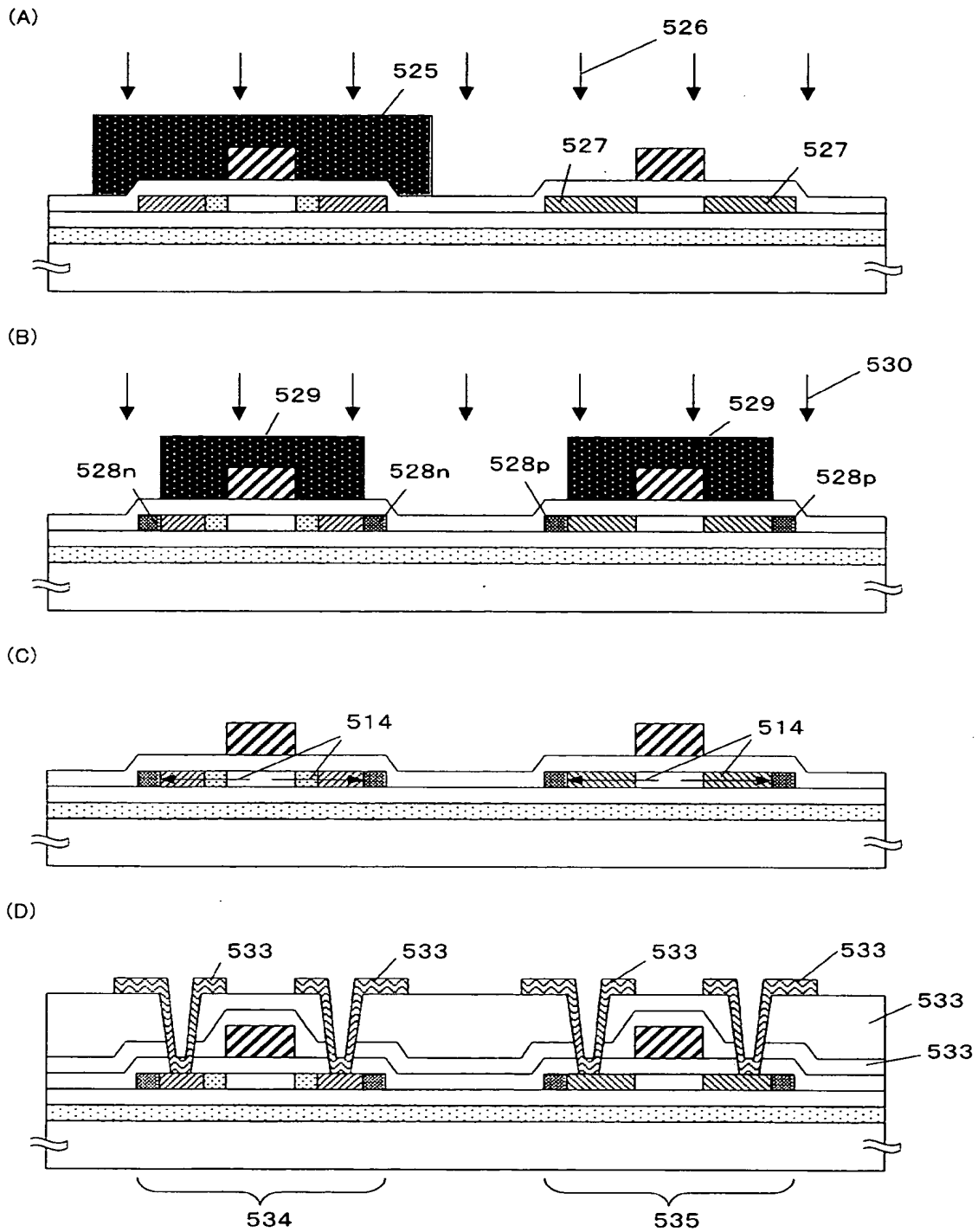
【図 6】



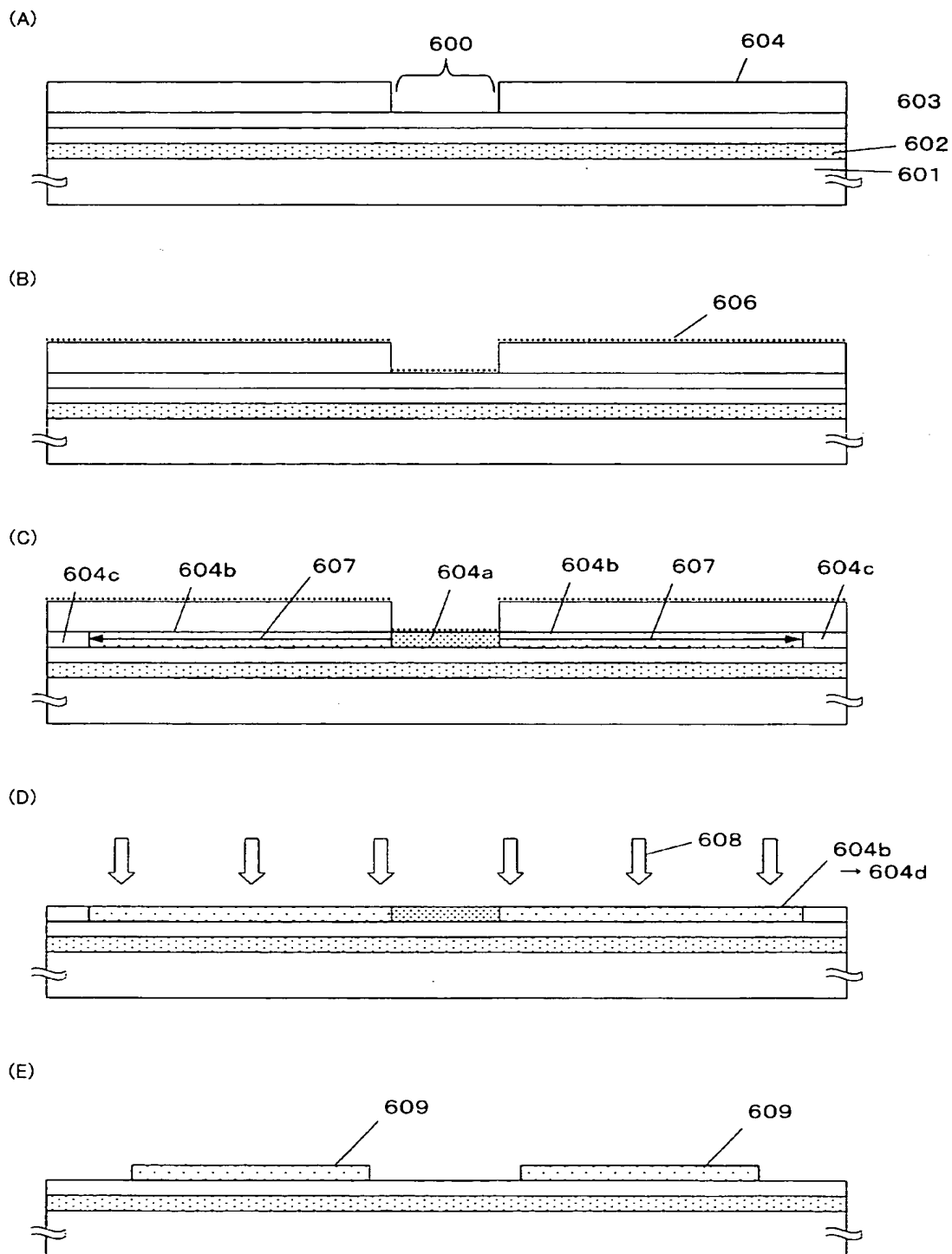
【図 7】



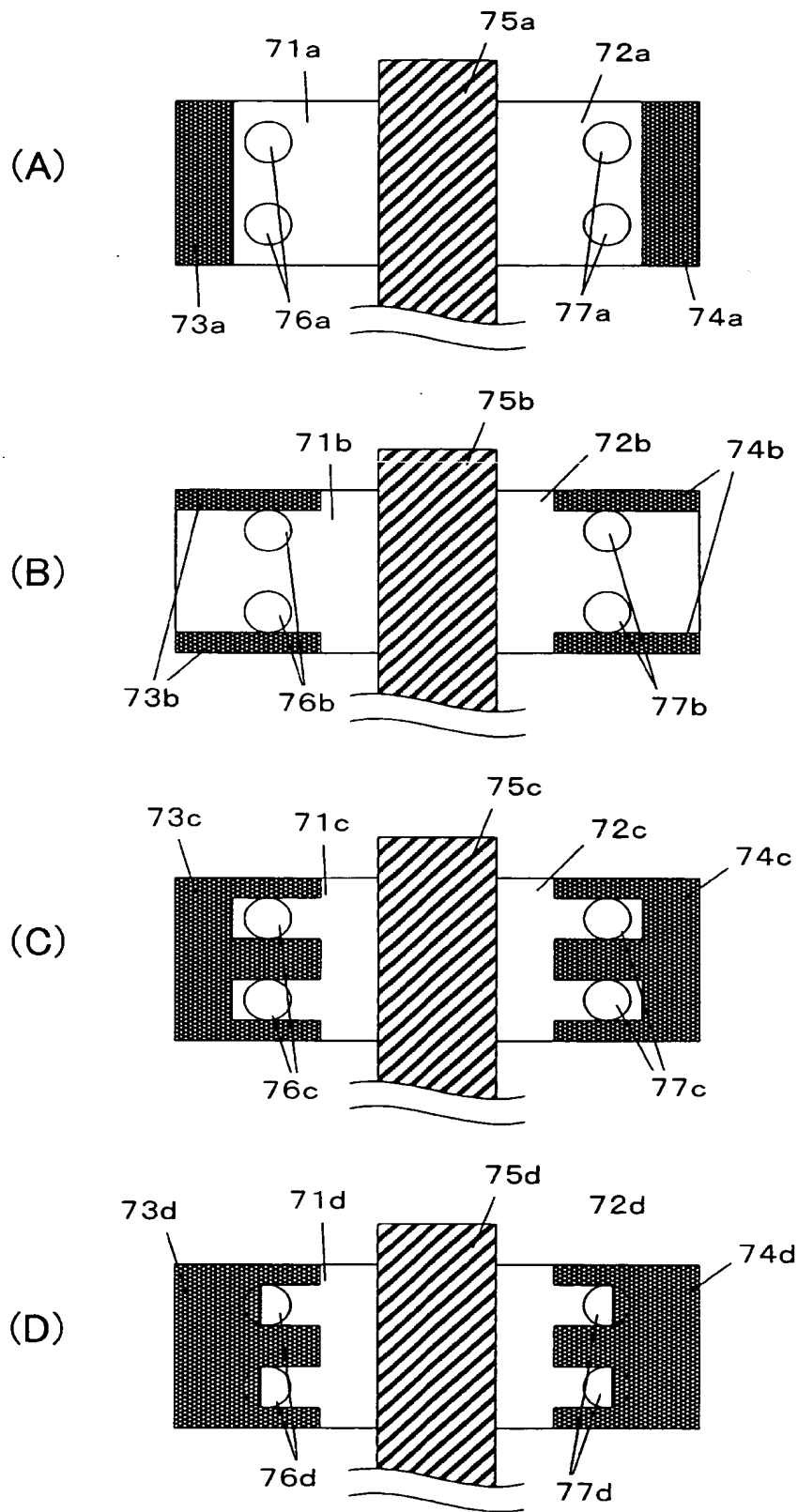
【図 8】



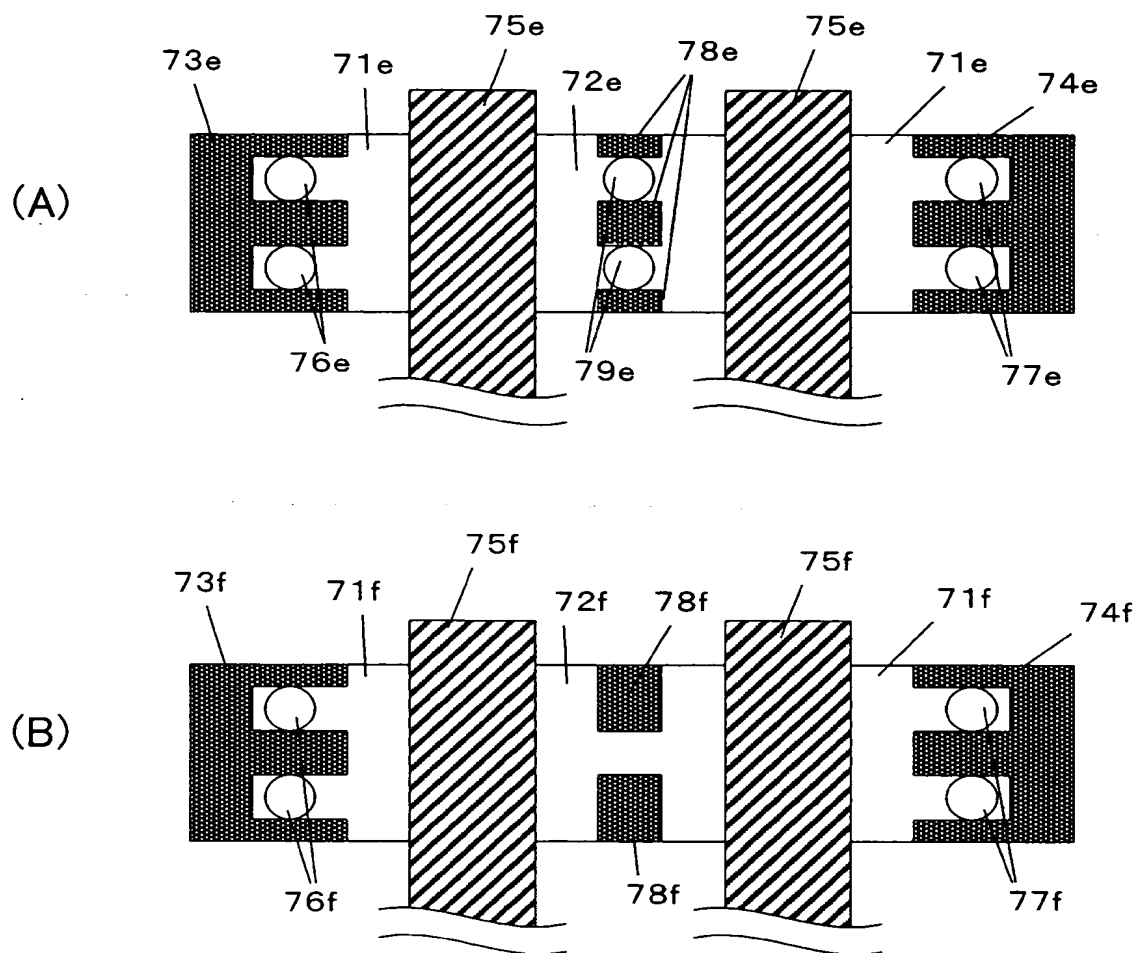
【図 9】



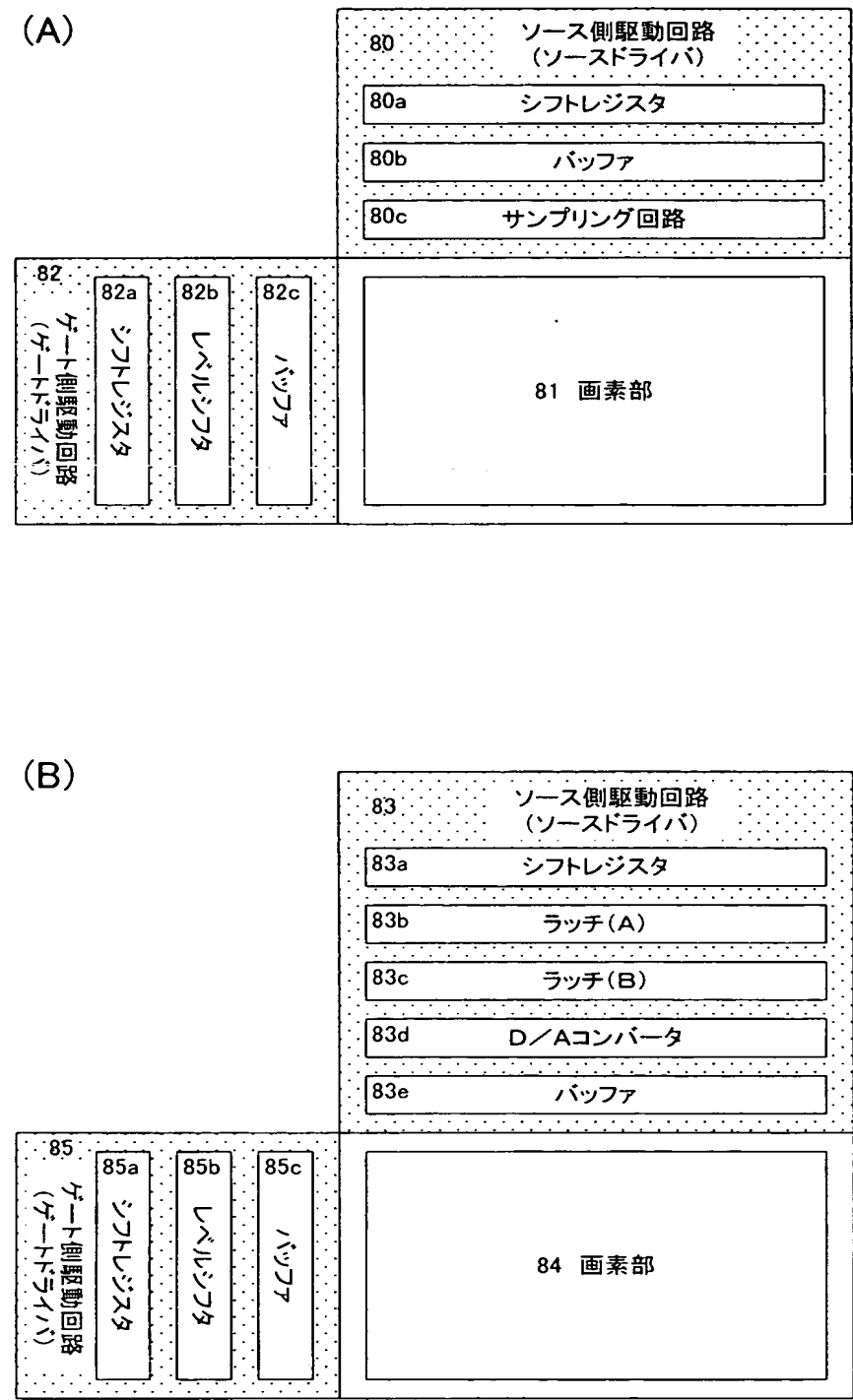
【図 10】



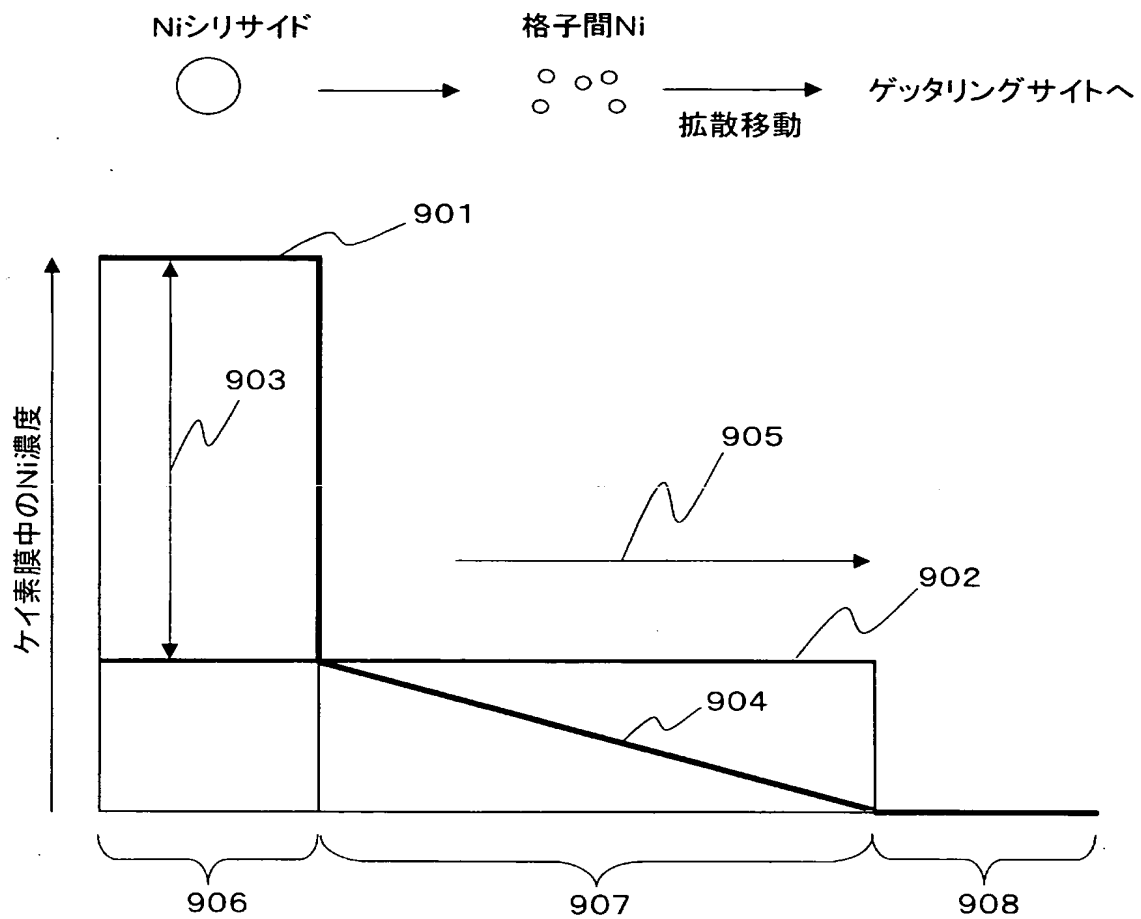
【図 11】



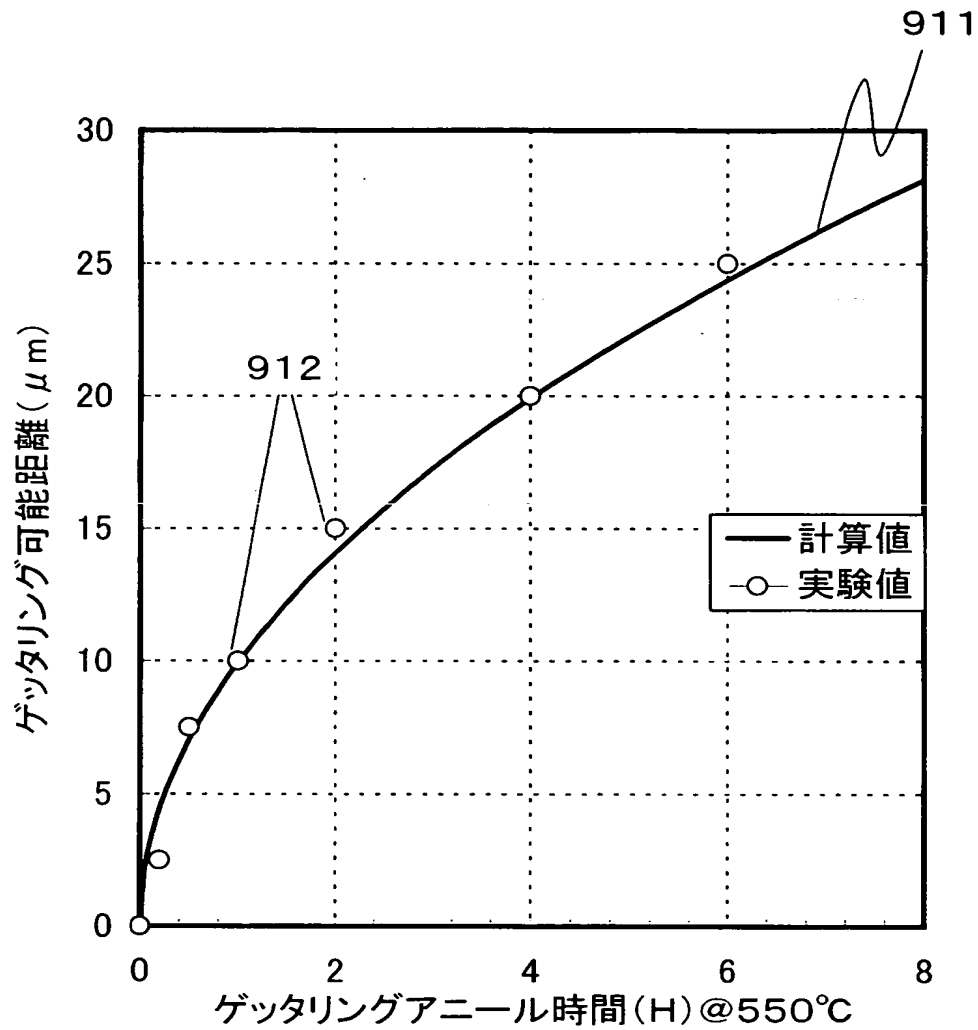
【図 1 2】



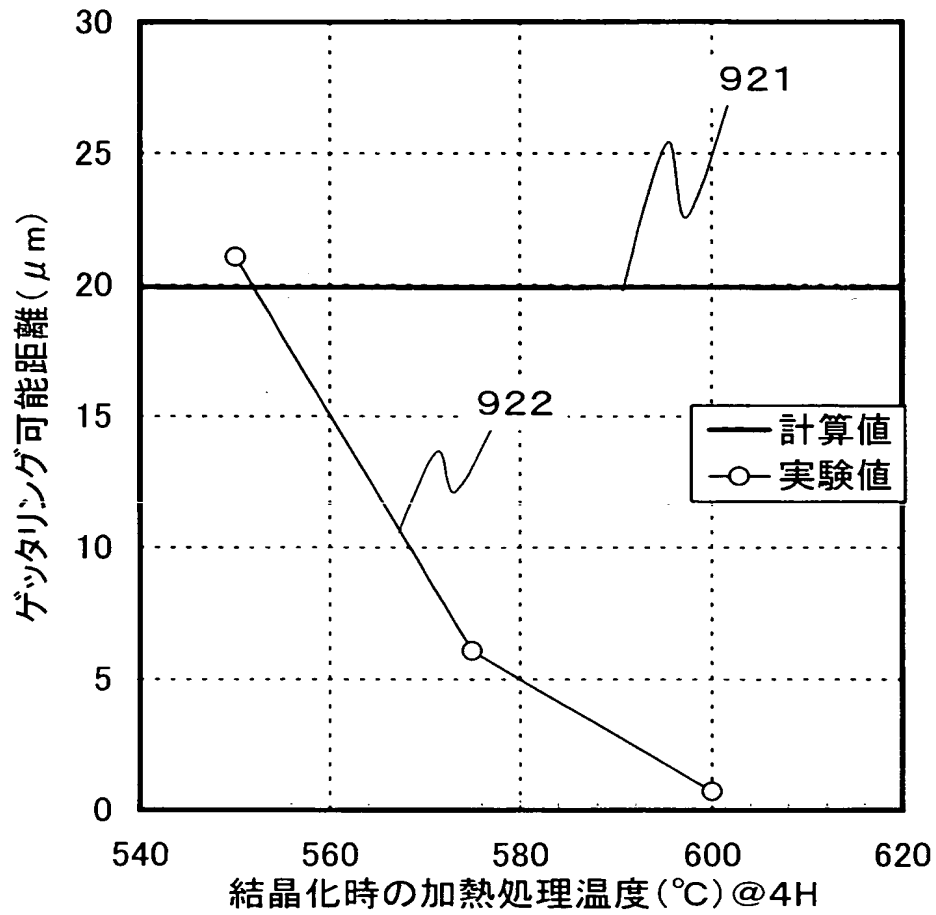
【図 13】



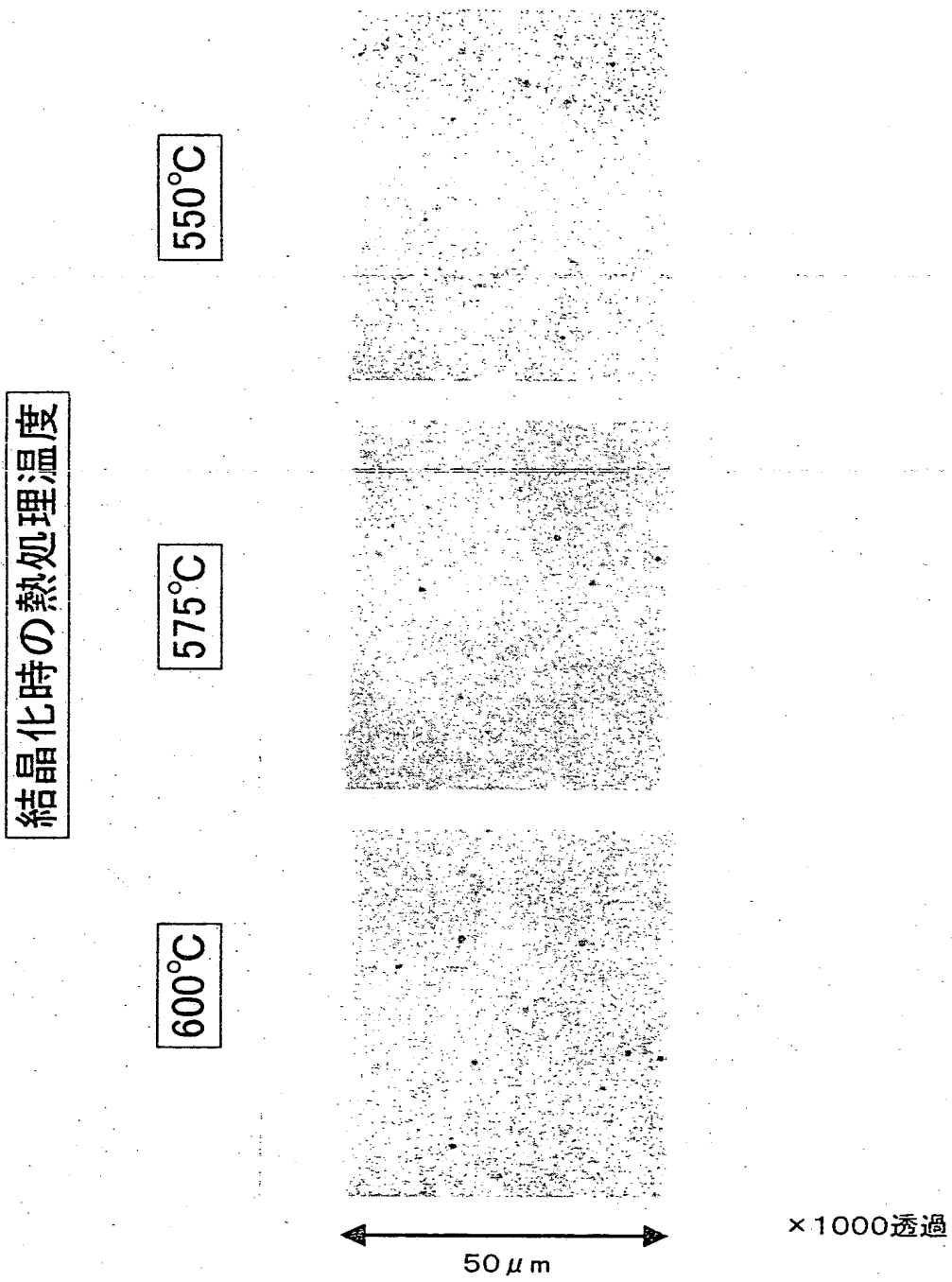
【図 14】



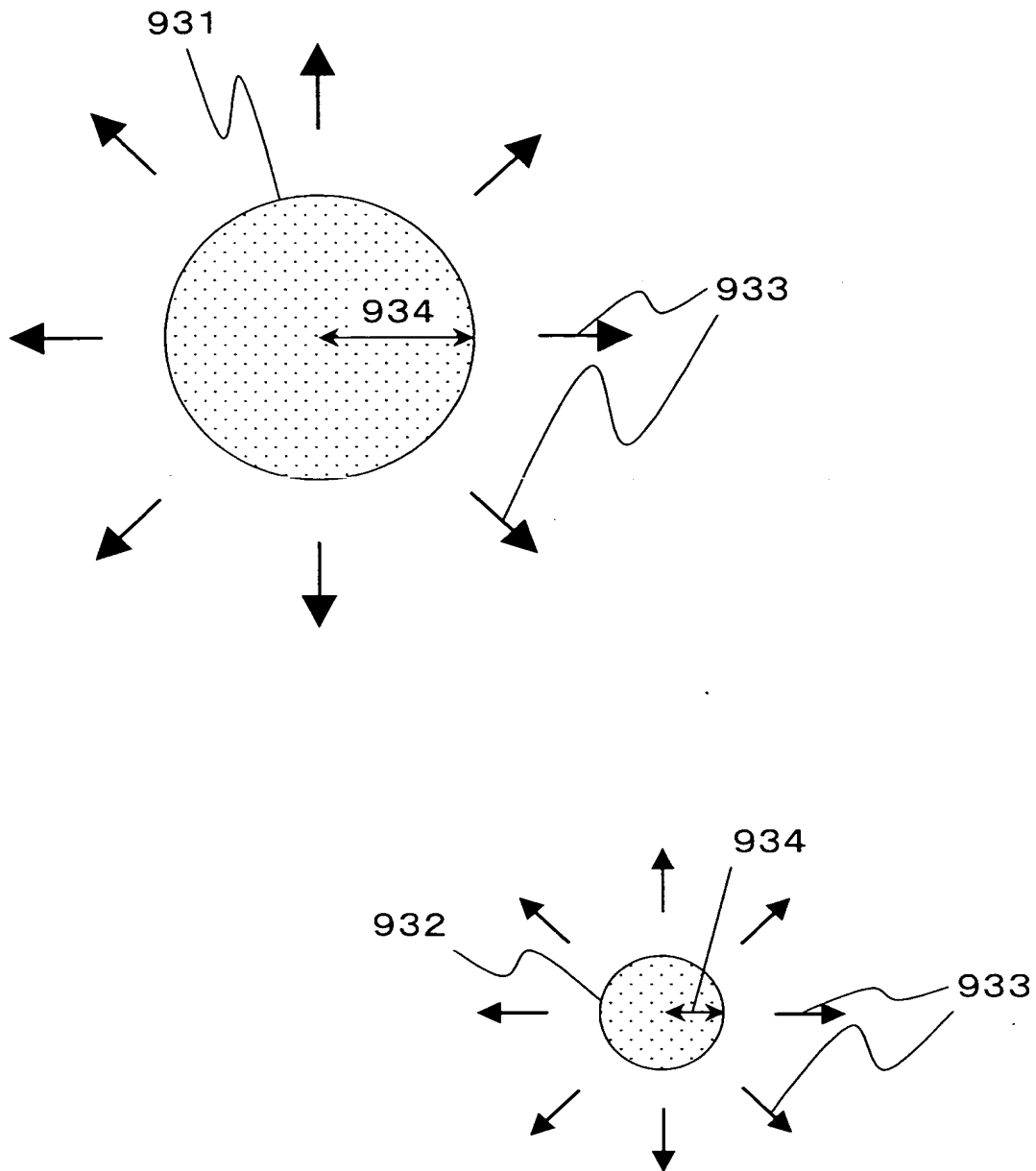
【図 15】



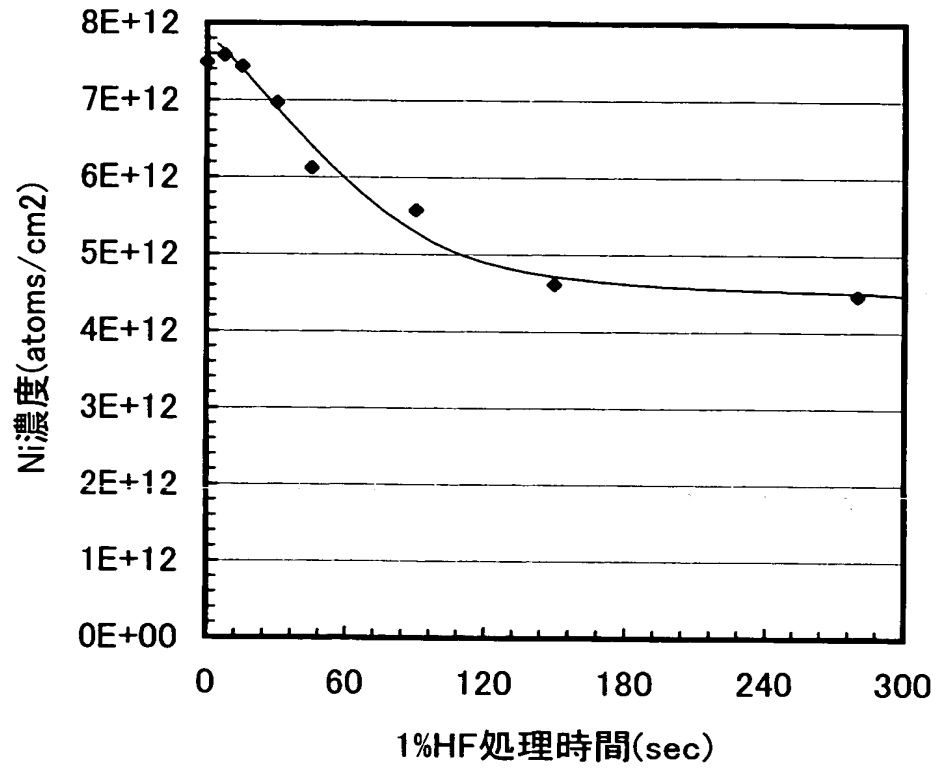
【図 16】



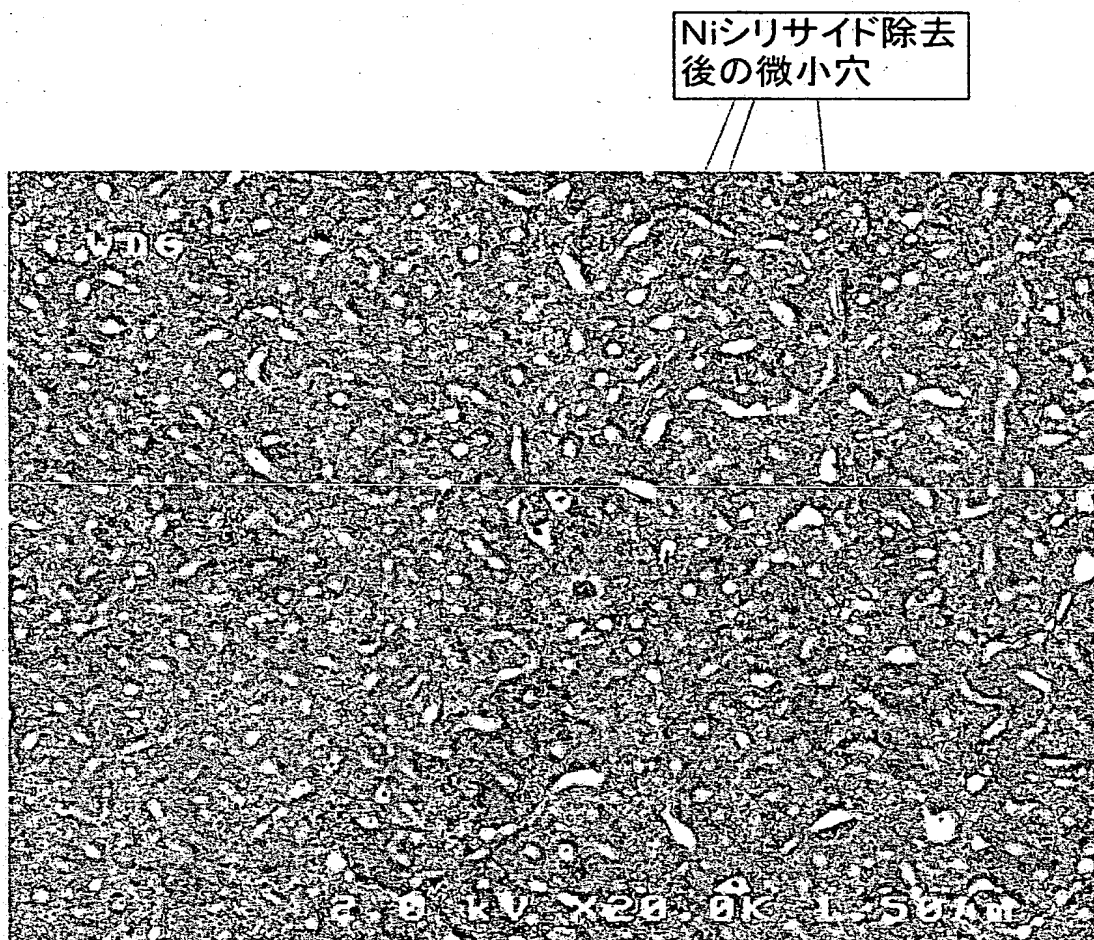
【図 17】



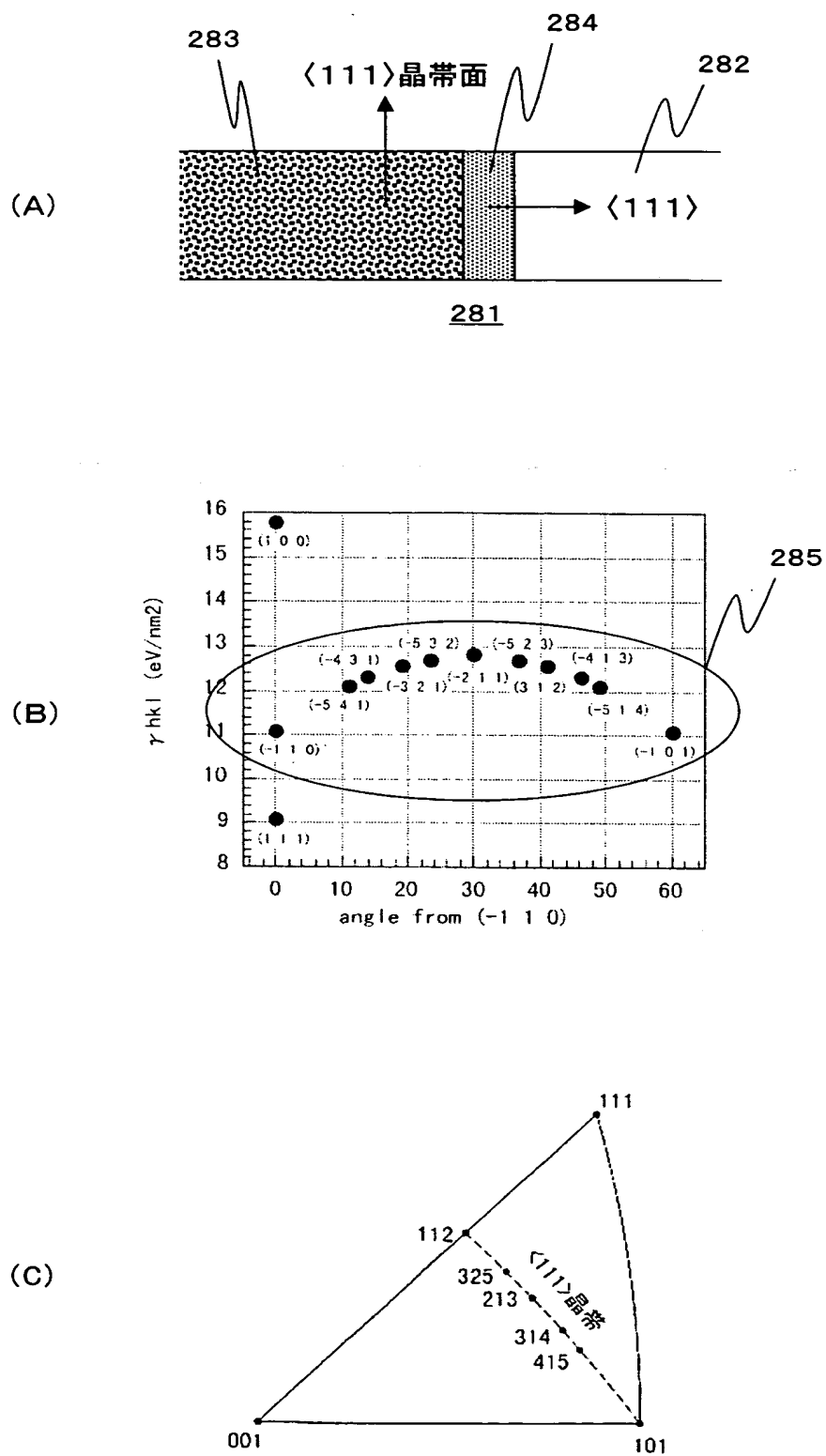
【図 18】



【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 良質な結晶質半導体膜およびその製造する方法を提供する。

【解決手段】 絶縁性表面上に非晶質半導体層を形成する工程と、非晶質半導体層に結晶化を促進する触媒元素を付与した後、第 1 の加熱処理を行うことにより、非晶質半導体層を結晶化し、結晶質半導体層を得る工程と、結晶質半導体層中に存在する触媒元素の半導体化合物の少なくとも大きな塊を除去する工程と、結晶質半導体層中に残存する触媒元素の少なくとも一部を移動させることによって、結晶質半導体層に触媒元素の濃度が他の領域よりも低い低触媒領域を形成する工程とを包含する。

【選択図】 図 1

特願 2 0 0 2 - 3 2 5 6 7 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社